

CMOS 电路抗 Latchup 性能研究

费新磷 朱正涌

(清华大学微电子研究所 北京 100084)

摘要 本文研究了 CMOS 电路中的 Latchup 效应. 通过实验研究了 CMOS 电路不同版图尺寸和多种抗 Latchup 技术对维持点参数(维持电流和维持电压)的影响, 得出了 Latchupfree 结构. 本文同时使用 PISCES 对 Latchup 效应进行了二维模拟.

EEACC: 2570D

1 引言

CMOS 电路由于具有高集成度、低功耗、工艺成熟等优越性而成为 VLSI 制造中的主流. 但同时我们应该看到, CMOS 电路中的 Latchup 效应严重影响着产品的可靠性. Latchup 效应又叫自锁、闩锁、锁定效应, 它是 CMOS 电路固有的寄生效应, 起源于 CMOS 电路中固有的 PNP 结构, 当被某种外部因素触发而进入锁定状态后, 形成了电源到地的低阻通路, 这就是 Latchup 效应^[1].

Latchup 效应严重时会造成 CMOS 电路的永久性损害, 或者造成电路的暂时性失效, 危害极大. 而随着 VLSI 技术的不断发展, 集成度不断提高, 尺寸的进一步微细化, 使 Latchup 效应更加易于触发. 因而研究出适用于超大规模 CMOS 集成电路的抗 Latchup 措施是很必要的^[2,3].

本文报道了基本 CMOS 四端 PNP 结构各尺寸对 Latchup 效应的影响及多种抗 Latchup 效应技术的作用. 采用的工艺为 $1.6\mu\text{m}$ N 阱 CMOS 工艺, 衬底有两种: P 型体硅片和 P⁻外延层/P⁺衬底的外延片. 首先描述了使用的测试结构, 介绍了实验测试结果. 然后是在 PISCES 中首次使用端口加电流技术对 CMOS 电路 Latchup 特性进行了二维器件模拟分析. 本文最后提出了工艺、电路设计的抗 Latchup 原则.

2 实验研究

采用的工艺为 $1.6\mu\text{m}$ N 阱 CMOS 工艺, P 型体硅片衬底电阻率为 $30\sim 50\Omega\cdot\text{cm}$. 外延

费新磷 男, 1964 年生, 硕士, 助工, 从事微电子技术和 IC 测试等工作
朱正涌 男, 1936 年生, 教授, 目前从事电子技术(IC 设计与工艺)工作
1993 年 10 月 19 日收到初稿, 1994 年 3 月 10 日收到修改稿

片衬底电阻率 $0.01\Omega \cdot \text{cm}$, P^- 外延层电阻率为 $29.3\Omega \cdot \text{cm}$. N 阱深 $3\sim 4\mu\text{m}$. N^+ 有源区结深为 $0.25\mu\text{m}$, P^+ 有源区结深为 $0.3\mu\text{m}$.

首先研究了 CMOS 基本四端结构中各关键尺寸对 Latchup 特性参数的影响, 如图 1(a) 所示, 图 1(b) 为其剖面图, 图中画出了双极寄生器件.

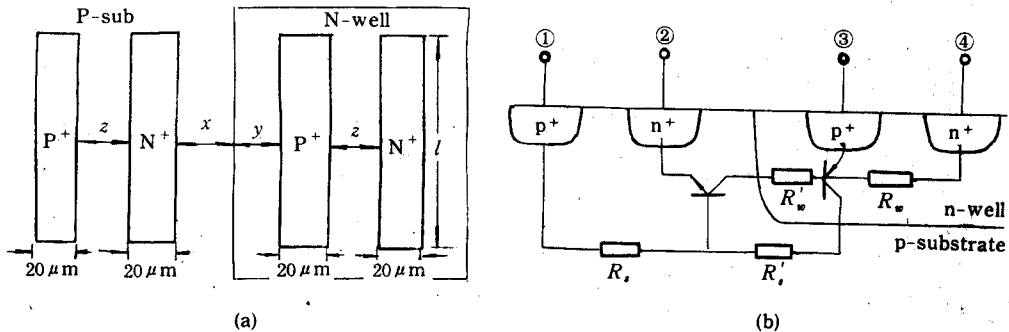


图 1 (a) 基本 CMOS 四端结构尺寸示意图 (b) 基本 CMOS 四端结构剖面图

同时还研究了三种保护环结构(阱内保护环, 阱外保护环, 双保护环)、伪收集极结构、基本 CMOS 四端结构 N^+ 、 P^+ 位置互换结构, 以及把阱和阱外 N^+ 有源区放于压焊块两边的结构对 Latchup 特性参数和影响.

通过实验片工艺流水及测试, 我们发现, 对 CMOS 基本四端结构:

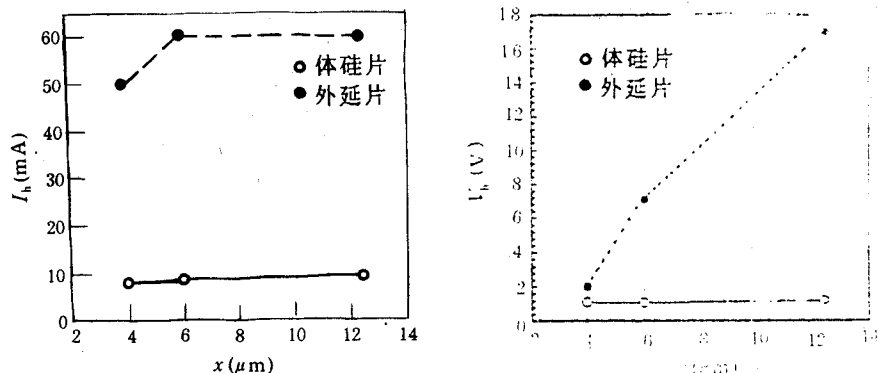
1. 阱外 N^+ 有源区到 N 阱的间距 x 的增加, 使维持电流 I_H 随之增加;
2. 阱内 P^+ 有源区到 N 阱边缘的距离 y 对 I_H 、 V_H (维持电压) 的影响很小;
3. 阱内、外 P^+ 、 N^+ 有源区间距 z 的减小可以使 I_H 随之增加;
4. 有源区长度 l 的成倍增加, 使 I_H 也随之成倍增加.

对于保护环结构, 我们发现, 保护环的使用, 使 I_H 和 V_H 都有较大幅度的提高, 其中使用双保护环, 并加大保护环的宽度和保护环到阱边的间距时抗 Latchup 性能最佳.

伪收集极的使用、对接孔的使用、交换基本 CMOS 结构中的 N^+ 、 P^+ 位置, 把阱和阱外 N^+ 有源区放于压焊块两侧, 都能使 CMOS 电路的 I_H 、 V_H 值有所上升, 即提高了电路的抗 Latchup 性能.

通过体硅片和外延片的对比, 我们发现使用外延片后, CMOS 电路的抗 Latchup 性能有质的提高. 对于基本 CMOS 四端结构, 其维持电压已达 5V 以上, 其维持电流也大有提高, 如图 2 所示. 对于保护环、伪收集极结构, 直到芯片烧毁都没有发生 Latchup 效应, 达到了真正的“Latchup free”.

外延片的抗 Latchup 性能大大优于体硅片的主要原因, 在于外延片的高掺杂衬底提供的大电导能十分有效地分流寄生水平晶体管; 另一个原因是由于低掺杂外延层和高掺杂衬底形成的内建场, 可以把注入的少数反射回外延层, 所以其 Latchup 通路靠近表面, 这就使伪收集极的收集效率大大提高, 同时对保护环也更为有利.

图2 体硅片和外延片的维持点参数与 x 的关系曲线

3 Latchup 效应的 PISCES 二维器件模拟

3.1 PISCES 简介

PISCES 是由美国 Stanford 大学开发的二维器体模拟软件,它可以对二维结构的器件进行模拟,如 I - V 特性模拟.它还可以模拟出用户感兴趣的某一偏压下器件内部的电场分布、电势分布以及电子和空穴分布.这对我们了解某一结构的 Latchup 机理是大有好处的.

PISCES 还可以读取 SUPREM 的工艺模拟结果作为它的杂质分布描述,所以我们可以设计工艺条件及电路尺寸时结合 SUPREM 和 PISCES,模拟电路的抗 Latchup 性能,从而指导我们的设计.

3.2 PISCES 模拟 Latchup 效应的方法

我们使用的是 PISCES 的 9001 版本,它在以前的 PISCES 版本的基础上作了某些改进,特别是其中的端口加电流技术,解决了以前的 PISCES 模拟 Latchup 效应不容易收敛的问题^[4,5].下面是我们使用 PISCES 的 9001 版本模拟 Latchup 效应的具体步骤.

3.2.1 对器件结构的二维化

我们提取某一抗 Latchup 结构的垂直剖面作为模拟的二维结构,用 PISCES 求取二维解后乘上水平方向有源区长度 l ,即得到三维电流值.

3.2.2 对二维器件结构进行格点(Grid)分配

由于格点数有限(总共 3000),所以如何合理地分配有限的格点十分关键,对浓度分布发生变化的区域应优先考虑,增加此区域的格点数,如 PN 结区域.并注意尽量使相邻的网格面积之比不要超过 2,而且尽量减少网格中的钝角三角形,从而确保收敛,并提高模拟的精度.

3.2.3 定义杂质的浓度分布

3.2.4 定义接触区

3.2.5 对 CMOS 测试结构加合理的偏置,进行器件性能模拟

对应基本 CMOS 四端结构的实验测量触发方式,四端口中(图 1(b))1、2 端口接地、端口 4 接 V_{dd} ,端口 3 加扫描电压.

如果我们对端口 3 加电压偏置, 由于端口 3 的 I - V 特性中对应某一电压值的电流并不是唯一的(在触发点附近即为如此), 当电压加至触发点附近时, 由于我们并不能预先知道触发电压值, 如果所加偏置电压大于触发电压, 则 PISCES 不收敛, 所以求解十分麻烦.

在我们的模拟中, 首次使用 9001 版本中的端口加电流技术, 由于端口 3 的 I - V 特性中所对应的某一电流值的电压值是唯一的, 因此就不存在发散问题, 从而大大简化了求解方法.

3.3 模拟实例

使用以上的模拟方法, 我们对基本 CMOS 四端结构中的样品 L1($x=4.8\mu\text{m}$), L2($x=6\mu\text{m}$), L3($x=12.4\mu\text{m}$) (如图 1(a) 所示, 其中 $y=4.8\mu\text{m}$, $z=4.8\mu\text{m}$, $l=100\mu\text{m}$) 作 PISCES 二维器件模拟, 图 3 为结构 L1 实测的 I - V 曲线与模拟 I - V 曲线的对比, 两者吻合较好. 图 4 为三种结构的模拟维持点数据与实测值的对比曲线, 两者误差不大.

对结构 L3 我们提取了触发前及触发点的电子流、空穴流分布图, 如图 5 所示, 从中可以看到端口 3 注入的空穴, 注入衬底后被端口 1 收集, 在触发点时引起横向 NPN 晶体管的导通, 端口 2 出现电子流, 开始进入锁定状态.

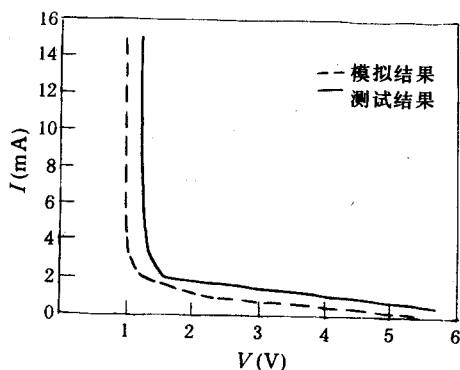


图 3 结构 L1 实测的 I - V 曲线与模拟 I - V 曲线的对比

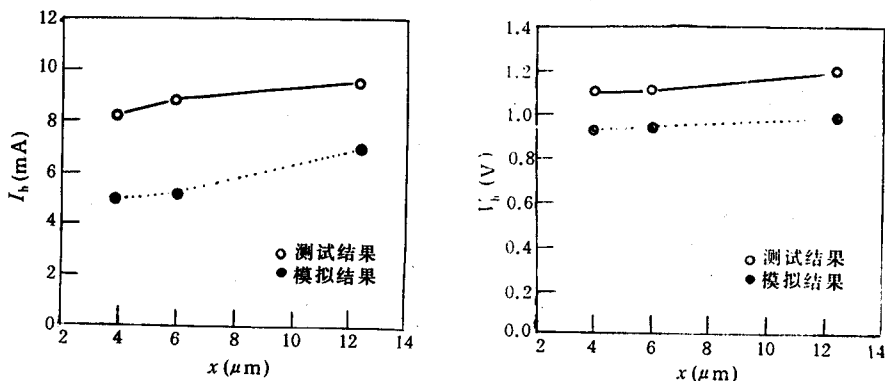


图 4 三种结构维持点的测试结果与模拟结果的对比

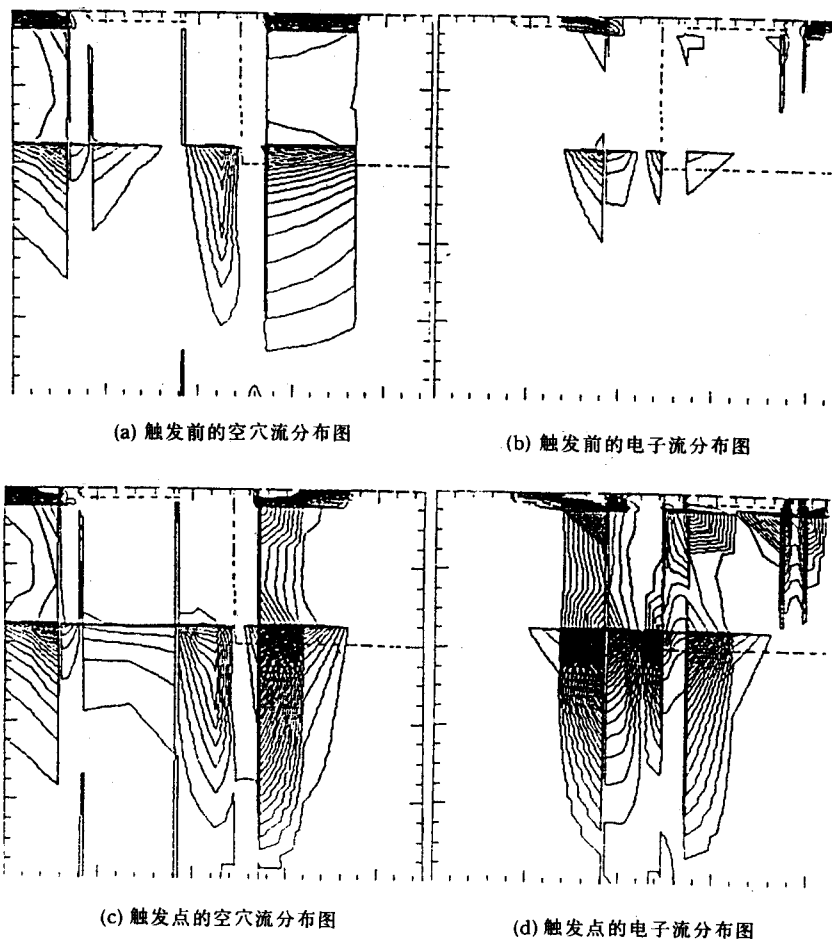


图5 触发前及触发点的电子流、空穴流分布

4 结论

通过对各种抗 Latchup 结构的实验测试,发现在高掺杂的 P^+ 衬底上生长低掺杂的 P^- 外延层,是提高 CMOS 电路抗 Latchup 性能最有效的方法之一. 在版图设计方面,可以使用阱内、阱外双保护环,并加大保护环的宽度;还可以使用包围 N 阱或阱外 N^+ 有源区的伪收集极;使用对接孔、并尽量多地使用衬底接地和阱接电源的接触等方法来有效地改进 CMOS 电路的抗 Latchup 性能. 在版图面积允许的情况下,可以有机地组合以上抗 Latchup 措施.

我们还首次使用 PISCES 的端口加电流技术,对 Latchup 特性作了二维器件模拟. 结果表明该模拟方法对提高模拟精度,简化求解过程十分有效,并可以帮助我们对 Latchup 效应的机理有进一步的了解.

参 考 文 献

- [1] R. R. Troutman, "Latchup in CMOS Technology", Boston, Kluwer 1986.
- [2] Roberto Menozzi, Luca Selni and Enrico Sangiorgi, IEEE Tran. Electron Devices, 1988, **ED-35**(10): 1892-1901.
- [3] C. Mazure and W. Reozek "Improvement of Latchup hardness by geometry and technology tuning" IEEE Tran. Electron Devices, 1988, **ED-35**(11): 1609-1615.
- [4] P. Pavan and G. Spiazzi, IEE Proc. G, 1991, **138**(5): 604.
- [5] A. Chatterjee, IEEE Circuits Devices Mag., 1987, **3**(6): 35-38.

Study on Characteristics of Latchup Protection in CMOS Circuits

Fei Xinbo and Zhu Zhengyong

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Received 19 October 1993, revised manuscript received 10 March 1994

Abstract Latchup effect in CMOS circuits is studied. The influence of different geometries and various technological solutions on holding point parameters (holding current and holding voltage) has been experimentally researched and the Latchup free structures have been obtained. At the same time, two dimensional simulation of Latchup effect has been performed with PISCES.

EEACC: 2570D