

自对准硅化物 CMOS/SOI 技术研究

奚雪梅 徐 立 武国英 李映雪 王阳元

(北京大学微电子学研究所 北京 100871)

摘要 在 CMOS/SIMOX SOI 电路制作中引入了自对准钴(Co)硅化物(SALICIDE)技术,研究了 SALICIDE 工艺对 SOI MOSFET 单管特性和 CMOS/SOI 电路速度性能的影响. 实验表明,采用 SALICIDE 技术能有效地减小 MOSFET 栅、源、漏电极的寄生接触电阻和方块电阻,改善单管的输出特性,降低 CMOS/SOI 环振电路门延迟时间,提高 CMOS/SOI 电路的速度特性.

PACC: 7340T, 7390, 8120

1 引言

CMOS/SOI 技术是近年来发展起来的 VLSI 新技术,它除了具有高速度、高可靠性和低功耗等特点外,还具有抑制短沟效应能力、器件之间能实现简易的隔离这些优点,因此这项技术具有很强的实用性. 在过去的几年中,有许多文献讨论了 CMOS/SOI 电路寄生电容的减小及电流驱动能力的提高等对电路速度性能的有效提高所起的作用^[1-3],现在,小尺寸 CMOS/SOI 电路上栅、源、漏电极的寄生接触电阻和方块电阻对速度的影响逐渐引起人们越来越强烈的兴趣,因为尺寸减小后,这些电阻对电路的影响越来越大,要得到高的电路速度,就必须减小这些接触电阻和方块电阻.

用于体硅亚微米器件的自对准硅化物技术(SALICIDE)采用快速热退火,能有效地减小接触电阻和方块电阻. 由于钴(Co)及其二硅化物 CoSi_2 具有一些其它硅化物所没有的特性^[4-5],如: CoSi_2 的形成温度低;易于离子束混合;抗 HF 腐蚀能力强;作为一个良好的扩散源,能将注入其中的杂质元素热扩散到硅中形成浅结. 而且在 CoSi_2 形成过程中,Co 是主要扩散元素,Co 原子向硅中扩散迅速,而向 SiO_2 中的扩散却相对缓慢,因而不易出现所谓“桥接(bridge)”现象,使自对准性能提高. CoSi_2 的这些性能对自对准 SALICIDE 技术很有利. 实验证明,使用钴硅化物技术能有效地改进 MOS 器件的性能.

本文中,我们把 SALICIDE 技术应用于 SOI MOSFET 上. 考虑到与背 SiO_2 层接触处的 SOI 膜存在较多的缺陷,我们第一次从实验上采用类似于体硅 MOS SALICIDE 结构的

奚雪梅 女,1968年生,博士生,主要从事 SOI 材料、SOI MOSFET 器件模型模拟和电路模拟研究

徐 立 男,1957年生,副教授,IEEE 会员,当前从事 CMOS 工艺集成与技术研究

武国英 男,1936年生,教授,近年来一直从事 VLSI 金属化、硅化物及其应用,和多层互连平坦化技术研究
1993年9月10日收到初稿,1994年1月22日收到修改稿

SALICIDE/SOI 结构,也就是 Co 和 Si 的硅化物反应没有将源、漏区的 Si 层完全反应掉,源漏区下仍存在单晶 Si 的结构.在实验分析的基础上,我们着重探讨了这种结构 MOSFET 的单管特性和 CMOS/SOI 电路的速度性能.

2 实验

我们所采用的实验衬底基片是方块电阻为 $10-20\Omega/\square$ 的 N 型(100)SIMOX 片.原始材料是方块电阻为 $20-30\Omega/\square$ 的 P 型(100)Si 材料,作氧离子注入,注入能量为 200keV,注入剂量为 $1.8 \times 10^{18}\text{cm}^{-2}$,注入的衬底基片温度为 600°C .注入后的材料覆盖上 CVD 氧化层,经 1310°C 、5 小时的高温退火处理(N_2 保护),最后得到表面硅层为 N 型的 SIMOX 材料.退火后表面硅层厚度为 200nm 左右,陷埋 SiO_2 厚度在 370nm 左右.

自对准硅化物 SOI/MOS 工艺流程示意于图 1(见图版 1).为了改进 SIMOX 基片的表面状态和减薄顶部硅层,除去 CVD 氧化层后的基片进行一次表面氧化和腐蚀,然后开始常规 CMOS/SOI 工艺.器件之间的隔离采用硅岛刻蚀技术,调节阈值电压的离子注入确保 NMOSFET 和 PMOSFET 都是增强型器件.栅氧化层厚度为 40nm,多晶硅栅的厚度是 570nm.完成多晶硅栅刻蚀后,接着淀积 400nm 厚的 SiO_2 ,经各向异性的反应离子刻蚀(RIE)形成栅侧壁的 SiO_2 (Spacer),然后完成难熔金属(Co)的硅化物工艺.接着进行 NMOSFET 及 PMOSFET 的源漏掺杂注入,单层铝接触和金属互连,实现全部的 CMOS 工艺.Spacer 下的掺杂是依靠源漏掺杂注入的横向扩散来实现的.

3 结果与讨论

3.1 SOI MOSFET 上形成 CoSi_2 的实验结果

难熔金属硅化物工艺在实验上采用二步快速热退火技术,这是为了从工艺上防止 Co 原子向 SiO_2 Spacer 的扩散,抑制“桥接”现象的发生.36nm 厚的 Co 膜通过 Sputtered Films 公司的 S 枪磁控溅射台,溅射在多晶硅栅和裸露的源漏区上,在 N_2 气氛中经 580°C 、20" 的快速热处理,Co-Si 界面发生反应形成金属硅化物.这个温度和时间的选择比较严格,必须能抑制 Co 和 SiO_2 Spacer 及场区 SiO_2 之间发生不需要的反应.去掉 SiO_2 表面未反应的 Co 后,再经 750°C 、20" N_2 气氛下的快速热处理使金属硅化物转变成符合化学配比的 CoSi_2 .图 2 是 Co/Si 合金的方块电阻与快速热退火温度的关系曲线,样品为 P-Si(100), $4-8\Omega \cdot \text{cm}$,退火时间为 20 秒.由该图可见, 580°C 左右的退火对应于最大方块电阻值($51\Omega/\square$),而经 750°C 退火后,样品的方块电阻值趋于稳定最小值 $1.5\Omega/\square$,这两种条件分别对应生成了两种不同相的硅化物:一硅化物(CoSi)和二硅化物(CoSi_2)^[5].

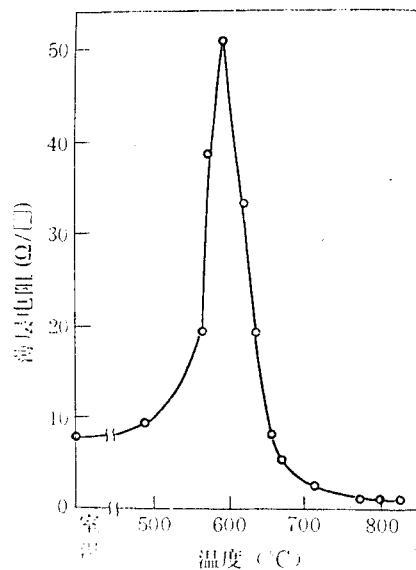


图 2 Co/Si 系统的方块电阻与快速热退火温度关系曲线

图 3 是有效沟道长度约为 $1\mu\text{m}$ 的 SOI MOSFET 的 SEM 照片(见图版 I), 36nm 厚的初始钴与 SOI 膜形成部分反应的结构. 尽管 CoSi_2 与下面 Si 界面处能看到不规则结构, CoSi_2 层仍相当均匀, 平均约 100nm 厚.

3. 2 MOSFET 电学特性结果

图 4 是给出了有硅化物和无硅化物工艺 NMOS 和 PMOS 输出特性曲线. 从图中可以看出, 硅化物工艺显著提高了相同条件下的源、漏电流. 增加幅度平均为: NMOS2. 3 倍, PMOS1. 7 倍. 源、漏接触电阻和方块电阻是与单管器件的本征电导相串联的, 当接触电阻和方块电阻比较大时, 会显著减小源漏输出电流, 降低器件的电特性, 这些电阻减小所带来的优越性是比较明显的.

表 1 给出了应用硅化物工艺时的 MOSFET 电学特性参数及其影响. 测量表明, N 沟、P 沟 MOSFET 的亚阈值斜率并没有因硅化物工艺而改变, 沟道长度为 $1\mu\text{m}$ 的 N 管和 P 管的亚阈值斜率分别为 109mV/decade , 98mV/decade , 硅化物工艺也没有影响载流子迁移率, N 管和 P 管 MOSFET 的载流子迁移率分别为 $620\text{cm}^2/\text{V}\cdot\text{s}$ 和 $210\text{cm}^2/\text{V}\cdot\text{s}$, 值得注意的是 MOSFET 的漏泄电流却有一点改变, SALICIDE/SOI 工艺的单管漏泄电流较常规 SOI 工艺的要稍高一点, 漏泄电流增加原因尚不清楚, 但由于变化量足够小, 可以认为自对准硅化物工艺适用于 SOI 器件制造.

表 1 SOI MOSFET 电学特性参数及 SALICIDE 工艺对电学参数的影响

	NMOS	PMOS	SALICIDE 对电学参数的影响
输出特性电流 $V_{\text{DD}}=V_{\text{GS}}=5\text{V}$	$I_{\text{DSAT}}=1.7$ mA	$I_{\text{DSAT}}=0.9$ mA	增大两倍左右
亚阈值斜率 n-poly 栅 $L=1\mu\text{m}$	109 mV/dec	98 mV/dec	无
载流子迁移率 $L=1\mu\text{m}$	620 $\text{cm}^2/\text{V}\cdot\text{s}$	210 $\text{cm}^2/\text{V}\cdot\text{s}$	无
泄漏电流 $L=1\mu\text{m}$	<0.01 nA/ μm	<0.01 nA/ μm	略有增大

另一方面, 自对准硅化物工艺显著也改善了 CMOS/SOI 电路的速度性能. 图 5 示出了沟道长度分别为 $2\mu\text{m}$ 和 $1\mu\text{m}$ 的 19 级 CMOS/SOI 环振电路的门延迟时间 V_{DD} 变化的曲线.

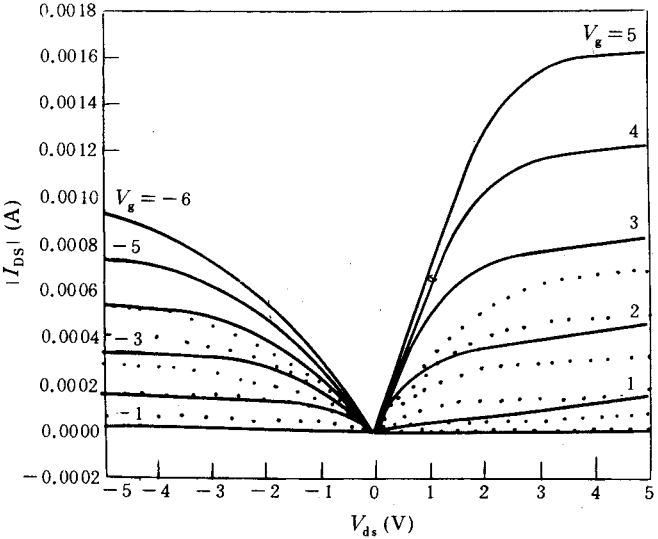


图 4 NMOS PMOS 输出特性对应曲线
NMOS: $W/L=10$ PMOS: $W/L=10$

加硅化物工艺后显著地提高了电路的速度,这与硅化物工艺提高了单管的源漏电流是一致的.对于无硅化物的常规 CMOS/SOI 工艺,沟道长度为 $1\mu\text{m}$, V_{DD} 为 5V 的环振电路门延迟时间为 1128ps/级;而对于 SALICIDE 工艺,相同尺寸的环振电路门延迟时间下降为 230ps/级.

1 Å 金属 Co 完全反应形成方块电阻最小的二硅化钴 (CoSi_2) 所消耗的 Si 厚度约为 3.64 Å;而形成一硅化钴 (CoSi) 仅需要 1.83 Å 的 Si,此时对应方块电阻最大的情形,如图 2 所示.实验中首先形成的硅化物是 CoSi,第二次快速热退火时 CoSi 与 Si 继续反应后才能形成 CoSi_2 ,这就需要源、漏区有足够厚的 Si 单晶存在,使

CoSi 能完全反应并转变为 CoSi_2 . 我们在电路制造中采用的硅膜厚度大约在 150nm 左右,36nm 的 Co 膜与硅反应后约剩有 500 Å 硅单晶.下一步的工作将用减薄的 SOI 片实验,但这可能会带来新的问题.如果 Co 膜厚度保持不变,则由于 Si 膜厚度被减薄,有可能会使 CoSi 没有全部转变成 CoSi_2 . 结果,反而会使接触电阻和方块电阻增大.这是 SALICIDE 技术应用于 SOI MOSFET 和体硅 MOSFET 的不同之处.薄膜 SOI MOSFET 工艺过程中原始 Co 膜厚度的优化也将是我们下一步将要考虑的课题之一.

4 结论

在 CMOS/SIMOX SOI 电路制造中引进了自对准硅化物工艺,器件结构类似于体硅 SALICIDE 情形.

SALICIDE 工艺显著地改善了 SOI MOSFET 单管的输出电特性.

实验发现采用 SALICIDE 工艺,器件的亚阈值斜率和载流子迁移率没有改变,而结泄漏电流特性略有增加,但对器件及电路的性能影响不大.

SALICIDE 工艺显著地改进了电路瞬态特性,得到了速度比较高的 CMOS/SOI 环振电路. V_{DD} 为 5V 时沟道长度为 $1\mu\text{m}$ 的环振电路最小门延迟时间为 230ps/级.

致谢 作者对航空航天部 771 研究所及北京大学微电子研究所工艺实验室所提供的技术支持表示深切的感谢.

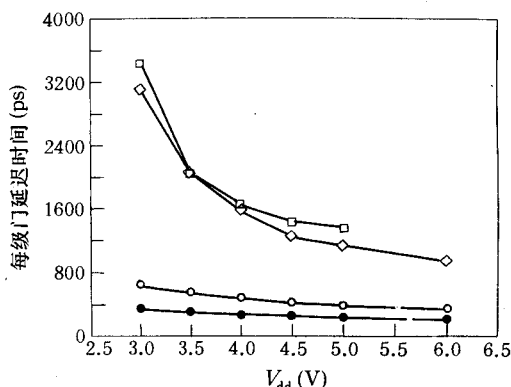


图 5 19 级 CMOS/SOI 环振电路门延迟时间

— V_{DD}

参 考 文 献

- [1] J. P. Colinge, *Electron. Lett.*, 1986, **22**(4):187—188.
- [2] J. C. Sturm, K. Tokunaga and J. P. Colinge, *IEEE Electron Device Lett.*, 1988, **9**(9):460—463.
- [3] Y. Yamaguchi, Y. Inoue, T. Ipposhi, T. Nishimura and Y. Akasaka, *IEDM Tech. Dig.*, 1989, 825.
- [4] E. K. Broadbent, R. F. Irani, A. E. Morgan and P. Maillot, *IEEE Trans. Electron Devices*, 1989, **ED-36**: 2440.
- [5] A. E. Morgan, E. K. Broadbent, M. Delfino, B. Coulman and D. K. Sadana, *J. Electrochem. Soc.*, 1987, **134** (2):925.
- [6] 徐立, 武国英, 张国炳, 王阳元, *半导体学报*, 1991, **12**(6):360.

Self-Aligned Silicide Technology for SOI MOSFET's

Xi Xuemei, Xu Li, Wu Guoying, Li Yingxue and Wang Yangyuan

(*Institute of Microelectronics, Peking University, Beijing 100871*)

Received 10 September 1993, revised manuscript received 22 January 1994

Abstract The CoSi_2 self-aligned silicide (SALICIDE) process for CMOS circuits on silicon insulator (SOI) has been developed with Co rapid thermal processing technology. SALICIDE process's influences on MOSFET's and CMOS circuits characteristics are studied. The experiments show that by using SALICIDE process, the MOSFET's contact resistance has been greatly decreased, thus output characteristics is improved. CMOS ring oscillator with a gate length of $1\mu\text{m}$ can operate at high speed with the delay time/stage of 230ps/stage at 5V.

PACC: 7340T, 7390, 8120

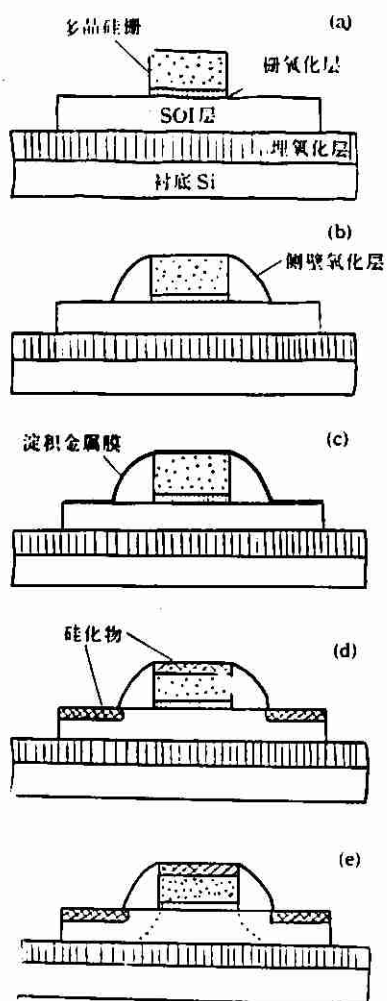


图 1 对准硅化物 CMOS/SOI 工艺流示意图



图 3 SOI MOSFET SEM 照片