

一种新的模块自动生成技术及其系统*

蔡懿慈 洪先龙

(清华大学计算机科学与技术系 北京 100084)

摘要 本文提出一种适于 CMOS 集成电路的柔性模块生成器,该系统将电路描述按照一定的约束条件(布图面积即模块高度和宽度或宽长比, PIN 的位置,最大延迟)自动转换成版图. 本文采用了一种二维的柔性模块布图模型,使系统具有一定的灵活性. 因此,该系统不仅可作为一种自动建库的工具,也可作为一个晶体管编译器为一个分级式的布图系统按照实际的布图要求生成底层的宏单元或库中没有的宏单元模块.

CCACC: 7410D

1 引言

随着大规模集成电路技术的迅速发展, CAD 技术越来越重要了. 模块生成技术是近年来被广泛研究的 IC CAD 领域里的重要课题. 从电路描述或逻辑描述直接转化成版图的过程称为模块生成. 由于模块生成是在晶体管级实现布图, 因此, 算法实现与集成电路制造工艺、版图设计规则、母版结构、布图模式等密切相关. 以往的大量研究工作都是针对不同的布图模式研究不同的算法. 如用集成电路版图设计语言编译生成的 ROM、RAM 是针对规则的通用电路, PLA 模块生成通常面向随机的组合电路. 以上两种模式具有算法简单、设计自动化程度高、设计周期短、成本低、容易测试验证等优点, 但对电路类型有一定的限制. 另一种栅阵列(GATE MATRIX)模块生成^[1-3]是根据 MOS 器件的工艺特点, 将布局布线同时考虑, 把电路中的晶体管“嵌入”到布线区中去, 以提高布线密度. 这种方法适于总线结构, 而不太适合于纯随机逻辑结构, 因为电路中大量的随机连线将占用许多“额外”的布线空间, 使布图密度降低. 目前研究最多的是标准单元(STANDARD CELL)模块生成^[4-9]. 关于“门阵”(GATE ARRAY)和“门海”(SEA OF GATES)的研究也有少量文章发表^[10]. 后两种模式可适用于任何的组合电路和时序电路.

为了适应国内集成电路工艺水平, 使模块生成成为一种实用的建库工具, 本文提出一种基于算法库的模块生成系统. 该系统的大部分算法是与各种工艺参数无关的通用算法, 另一部分与工艺参数有关的算法, 主要是版图实体化部分, 我们针对不同的工艺、母版结构、及布图模式设计了不同的算法模块构成一个算法库以便于系统调用. 从而使该系统具有一定的

* 国家自然科学基金资助项目

蔡懿慈 女, 1960年生, 讲师, 主要从事大规模集成电路布图方面的科研和教学工作

洪先龙 男, 1940年生, 教授, 主要从事集成电路计算机辅助设计方面的科研及教学工作

1993年5月30日收到初稿, 1993年9月17日收到修改稿

灵活性和通用性. 目前该系统可以用于单层和双层金属布线的 CMOS“门阵”和“门海”的模块生成, 母版结构可以是栅隔离和场氧隔离结构. 还可以用于标准单元模式的模块生成.

模块生成主要有两个目标: 一是单元库中功能单元(FUNCTION CELL)的自动生成. 作为一种自动建库工具, 它一方面可以省去人工建库所花费的大量工作, 另一方面当集成电路工艺发生变化时, 可以很快地重建或修改单元库. 二是在分级设计系统中自动生成底层的宏单元(MACRO CELL). 虽然这种宏单元也可以用手工设计或预先存放于宏单元库中. 但前者设计周期长, 后者芯片面积浪费大. 为了克服上述缺点, 可以采用模块生成系统, 根据具体的布图需要, 实时地生成密度合理的, 布图尺寸、形状及 PIN 的结构合适的宏单元.

关于模块生成的研究, 大部分是针对第一个目标的. 本文提出的柔性模块生成系统, 从电路描述出发, 经过功能单元提取、晶体管对链生成、布局、布线、版图实体化等过程最终生成物理版图. 该系统可用作 CMOS 集成电路的自动建库工具, 同时也可根据芯片级布图系统对实际电路的布图需要自动生成合适的宏单元.

2 系统概述

本文提出的模块生成系统(MGS3)的系统结构如图 1 所示. 该系统适合于单层和双层金属布线的硅栅 CMOS 工艺. 系统的输入是一个电路描述文件和布图约束条件, 输出是一个拓扑布图文件. 经过一个数据转换器将拓扑数据转换成数据库管理系统(DBMS)所规定的建库源文件. 或由一个拓扑-几何转换器, 根据设计规则, 将拓扑数据转换成以 CIF 格式描述的版图数据.

MGS3 的布图模型是一个“二维”的或称“多行”模型, 如图 2 所示. 每一行由成对的 P 型和 N 型晶体管沿水平方向排列而成. 一个二维模型就是由多行这样的晶体管行组成. 因此, 一个二维布图问题可分解为一组“一维”布图问题和通道布线问题.

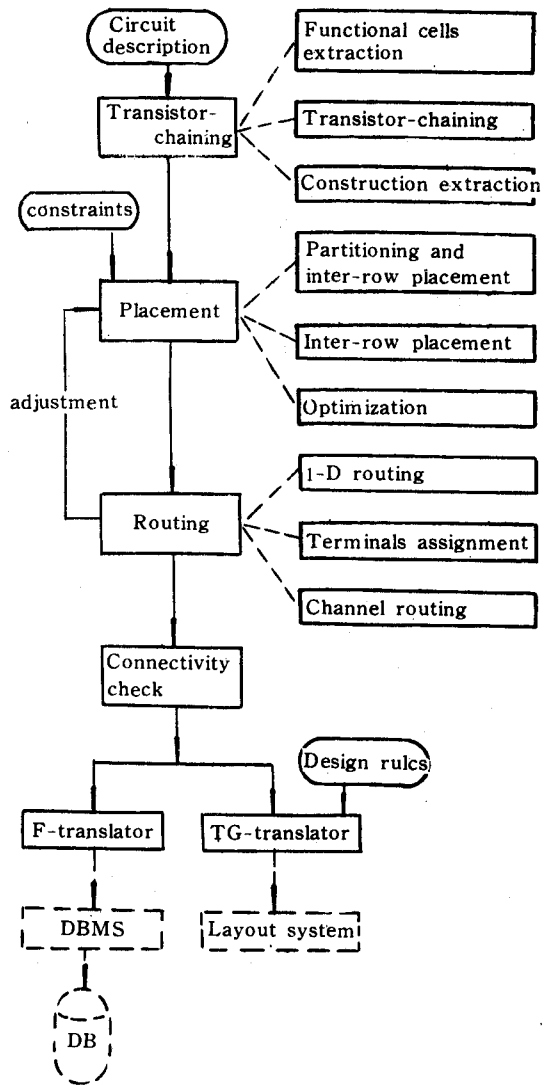


图 1 系统结构

3 算法描述

3.1 管对链生成算法

MGS3 的输入是一个晶体管连接表. 我们根据其源、漏关系提取与原始电路相对应的功能单元, 这些功能单元包括: 反相器、传输门、简单门和复合门. 图 3 所示是一个功能单元提取的例子.

由于在每个功能单元内部的晶体管之间具有一定的源、漏连接关系, 因此, 这些晶体管结合得最紧密. 将它们按照一定的源、漏相邻顺序排列起来可以有效地减小布图面积, 在水平方向对布图进行优化. 我们把一个相应于功能单元的、规定了某一排列顺序的晶体管对链定义为一个“UNIT”. 要确定一个 UNIT, 不仅要决定它由哪些晶体管对组成, 而且还要决定这些晶体管对的排列顺序即管对链生成.

关于如何在一个功能单元中找到一个最优的晶体管对链的问题, 可用图论中求解欧拉路径(ELUER PATH)的方法来解决. 许多人作过这方面的研究工作, 也有一些文章发表^[11-13], 本文提出晶体管对链生成算法是在不改变电路功能的情况下, 变换晶体管邻接图, 并以深度优先搜索(DFS)策略寻找欧拉路径, 以生成最优的晶体管对链. 以图 4 为例, 变换前生成的晶体管对链为 $abc * de$, 长度为 6, 变换后生成的晶体管对链为 $abcde$, 长度为 5.

在 UNIT 生成之后, 一个构造算法用来准确计算出每个 UNIT 的大小并确定它们之间的连接关系, 构造包含 UNIT 大小的连接关系表, 用于布局.

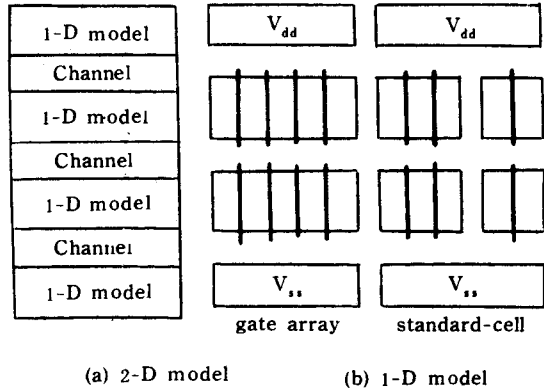


图 2 布图模型

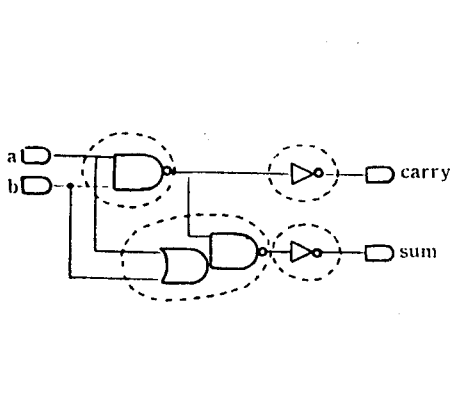


图 3 电路和功能单元

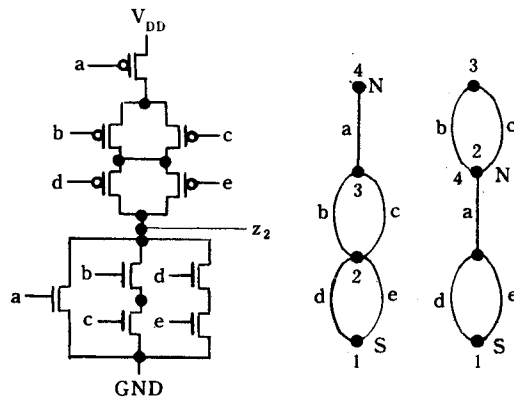


图 4 晶体管对链生成例子

3.2 布局算法

对于一个给定的电路, 依据上述构造算法中给出的结构关系表和用户给出的布图约束条件, 将其划分成若干个子线路(SUB-CIRCUIT), 在电路划分过程中, 要考虑关键路径长度应满足用户对最大延迟的要求. 划分后一个子线路对应布图模式中的一行(ROW), 子线路

由其所在行中的所有 UNIT 及它们之间的连接关系所构成. 布图区域的宽度和高度由每行中的 UNIT 数目和大小及总行数决定.

晶体管级布图与芯片级布图有很大差别, 我们对最小割布局算法作了一些改进. 在割线的选择上我们采用条状切割 (SLICE CUT), 使每次划分时割线的一侧有若干个 UNIT, 它们的长度之和在行宽的限制之内. 划分的条数依布图的行数而定. 在块的选择上, 对给定电路经过功能单元提取后, 形成一个门级逻辑电路, 对该逻辑电路按照其结构即输入/输出信号的级别分成与行数相等的块 (即子电路), 每块中包含若干个 FUNCTION CELL (即 UNIT). 这种块的划分可以看作是一种初始布局, 它与手工设计的思路很相似, 充分利用电路的结构在纵向简化布线. 初始布局以后, 采用对交换的最小割算法进行布局优化, 这时不仅要考虑功能单元之间的联结度, 而且必须考虑 UNIT 的大小及行的容量. 在行确定之后, 一个行内布局优化算法用来确定行内 UNIT 的位置及方向, 即实现晶体管的分配. 布局优化的目标函数是连线总长最短. 为了得到更加优化的布局结果, 我们不仅考虑 UNIT 的位置, 而且将 UNIT 方向这一因素也同时考虑. 一个 UNIT 的方向可以有两种选择, 晶体管对链的正向排列和逆向排列. 布局优化算法采用行内对交换法. 另外重要的一点是, 在确定晶体管的位置时, 优先满足用户对于 PIN 结构的约束条件.

3.3 布线算法

经过布局以后, 给定电路中的线网被分成三组子线网: “单元线网”、“内部线网”和“外部线网”. “单元线网”是用于同一个功能单元内各晶体管间的连接. “内部线网”是同一个子线路中各功能单元之间的连接线网. “外部线网”是给定电路中各子电路之间的连接线网. 所有的“单元线网”要在 UNIT 内完成布线; “内部线网”在一行内完成布线; “外部线网”在两行之间的通道 (CHANNEL) 内完成布线. 对于这三类线网我们采用了不同的布线算法.

“单元线网”的布线模型很简单, 它是在 UNIT 内部的一维模型的小规模的布线问题, 用简单的迷宫法 (MAZE RUNNER) 很容易实现. 我们采用逼近障碍的布线原则, 使布线尽量靠近布线区中心, 以减小对未布线网的水平阻挡. 布线用第一层金属实现.

“内部线网”的布线模型是一维模型, 它在一行内完成 UNIT 间接连接. 布线区边界是 V_{dd} 和 V_{ss} . 它与“单元线网”的布线模型相似, 但由于布线区域狭长, 会出现有些线网布不通的情况, 因此采用双层金属布线. 当行宽比较宽时 (如 20 对晶体管以上), 即使用双层金属布线仍有可能出现布不通的情况. 此时, 将布不通的线网在行的上或下边产生附加“外部引线端”, 与“外部布线”一起处理.

一个引线端分配算法用来为所有的“外部线网”在行的上或下两边分配引线端. 我们用一个基于左边算法 (Left Edge Algorithm) 的通道布线器实现“外部线网”的布线. 为了消除垂直约束图中的环, 在引线端分配算法中, 检查垂直约束图. 如出现环, 则将其中某个引线端用其电等价端代替, 从而消除了垂直约束环. 应用自左向右, 自上而下的左边算法可以获得通道数最小, 布通率高的布线结果.

以上模块生成算法均是在拓扑网格上完成的, 与实际的物理版图有一定的独立性. 因此, 算法本身具有一定的适应性, 特别是晶体管对链生成算法、布局算法和通道布线算法是完全通用的, 它们即可用于“门阵”和“门海”的布图模式中又可用于“标准单元”的布图模式中. 对于不能通用的算法, 如行内布线算法, 我们采用算法库的设计方法, 针对不同布图模式

的布图特点设计了不同的算法模块以备调用. 对于拓扑布图结果, 可由文件转换器转换成 DBMS 的建库源文件, 而完成自动建库工作. 也可由针对不同布图模式设计的拓扑-几何转换器, 根据具体的工艺要求、设计规则、母版结构及布图模式转换成 CIF 格式的物理版图.

作为支撑环境, 该系统还具有交互布图功能, 可用来观察和修改布图结果. 一个正确性验证算法用来对生成的模块进行电连接性和正确性检查.

4 结论

MGS3 系统已在 SUN4/110 工作站上用 C 语言完成, 并已通过一些电路实例的测试. 图 5 所示是一个四位二十进制计数器电路的布图结果. 实验结果表明, 该生成器是有效的, 它可在短周期内自动生成与人工布图质量相类似的版图. 该系统还在不断地进行改进和完善, 以便于使之更加实用化.

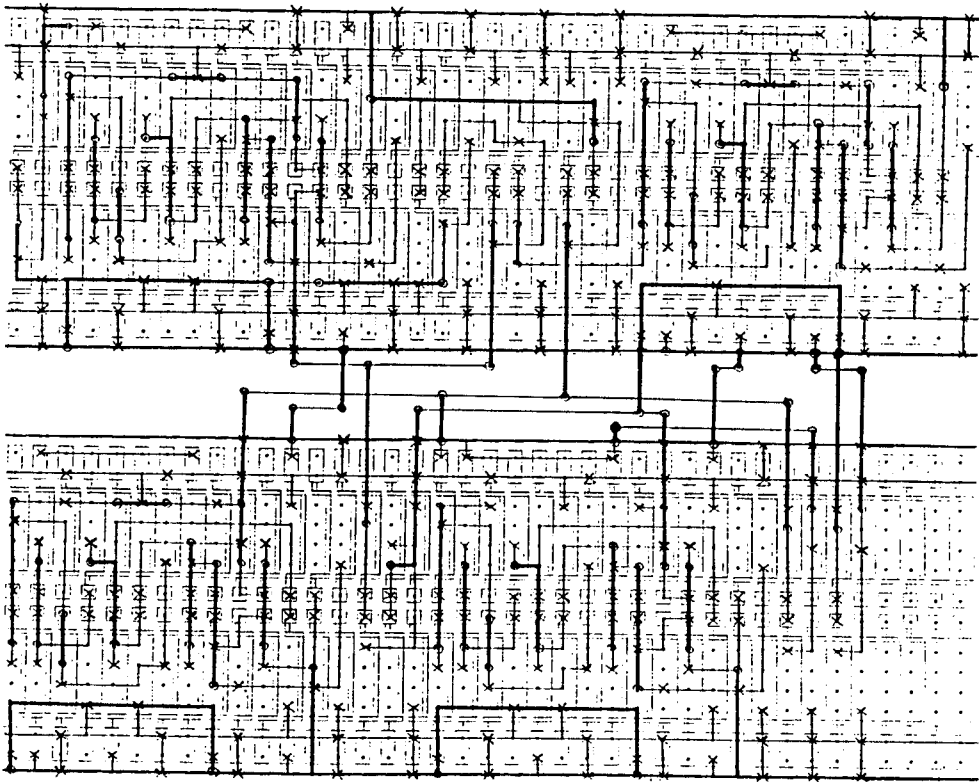


图 5 布图例子

参 考 文 献

- [1] W. SHU *et al.*, IEEE Trans. on Computer-Aided Design, 1988, 7(9): 947-851.
- [2] A. D. Lopez and H. F. S. Law, IEEE Trans. on Electronic Devices, 1980, ED-27 (8): 1671-1675.

- [3] YU HEN Hu *et al.* , IEEE Trans. , on Computer-Adied Design,1990,9(8):836-845.
- [4] Y. Shiraish *et al.* , Proc. 25th DAC,1988,pp. 439-444.
- [5] D. G. Baltus and J. Allen,Proc. 25th DAC,1988,pp. 445-452.
- [6] C. J. Poirier,Proc. IC CAD' 87,1987,176-179.
- [7] Katsunori Tani *et al.* , Proc. IC CAD' 91,1991,490-493.
- [8] Y-L. Stere Lin *et al.* , IEEE Custom Integrated Circuits Conference,1987,9-12.
- [9] P. Gee *et al.* ,Proc. IC CAD' 89,1989,140-143.
- [10] Gleen D. Adams *et al.* ,26th ACM/IEEE DAC Conference ,1989,30-36.
- [11] S. Wimer *et al.* ,IEEE Trans. CAD,1987,6(5):795-801.
- [12] R. L. Maziasz and J. P. Hayes, IEEE Trans. CAD,1990,9(7),708-719.
- [13] C. Y. Roger and Cliff Yungchin Hou, IEEE INT. Conference on CAD,1988,368-371.

A New Module Generation Technique and System

Cai Yici and Hong Xianlong

(Department of Computer Science and Technology Tsinghua University, Beijing 100084)

Received 30 May 1993, revised manuscript received 17 September 1993

Abstract This paper describes a flexible module generator for CMOS circuits. It can automatically generate a mask from a circuit description. The layout model considered here is a variable shape two-dimensional model composed of a set of rows of paired PMOS and NMOS transistors. The module generator can be used as a tool to automatically build cell library, and can be used as a layout synthesis to generate reasonable macro-cell for a hiererchy layout system.

CCACC: 7410D