

自对准 Ti-SALICIDE LDD MOS 工艺研究

徐秋霞 龚义元 张建欣 汪锁发 葛 进 海潮和 扈焕章

(中国科学院微电子中心研究部 北京 100029)

摘要 本文着重研究了 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD MOS 工艺技术。TiSi₂ 的形成采用两步快速热退火及选择腐蚀完成, Ti 膜厚度的最佳选择使 SALICIDE 工艺与 $0.2\mu\text{m}$ 浅结相容, 源/漏薄层电阻为 $4\Omega/\square$ 。上述技术已成功地应用于 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD NMOS 器件及其 E/D MOS 31 级环形振荡器的研制, 特性良好。

EEACC: 2560, 2550G, 2550B, 2550F

1 前言

当器件尺寸进一步缩小到亚微米以下时, 结深变到 $<0.2\mu\text{m}$, 接触孔也更小, 此时不仅栅和互连电阻是限制电路速度的主要因素, 而且浅结源、漏区扩散层的薄层电阻和接触电阻也成了限制电路速度的重要因素, 为此发展了自对准硅化物 MOS 技术(即 SALICIDE 技术)^[1-3], 这种技术同时降低了栅和扩散区的薄层电阻, 提高了布线能力, 并大大减少了小孔的接触电阻。许多难熔金属被研究用于 SALICIDE 技术, 认为最有希望的是难熔金属 Ti, 这是由于它有以下引人注目的特色: (1) Ti 的硅化物——TiSi₂ 在难熔金属硅化物中电阻率最低, 热稳定性好, 易实现选择腐蚀和自对准, 并能与重掺杂硅形成低阻欧姆接触; (2) 它省去了难度大的 TiSi₂/n⁺ 多晶硅 Polycide 复合结构的各向异性腐蚀, 代之以较易实现各向异性的单一的多晶硅刻蚀, 简化了工艺; (3) 最主要的是它在栅区和源/漏区同时形成硅化物而不需要增加掩膜, 这样使栅和互连电阻及源/漏薄层电阻都同时降低一个数量级, 进一步减少了器件的寄生串联电阻; (4) Ti 能淬取硅上的自然氧化物, 有利于降低接触电阻。

本文着重研究亚微米自对准 Ti-SALICIDE 工艺技术, 给出了应用于 LDD MOS 器件及其环形振荡器研制的结果。

2 器件工艺实验

本实验采用的亚微米自对准 Ti-SALICIDE LDD NMOS 器件制造的主要工艺流程如下: (1) P 型 $12\Omega\cdot\text{cm}(100)\text{Si}$ 抛光片; (2) 局部等平面氧化工艺; (3) 栅氧化 $200\text{--}230\text{\AA}$; (4) 沟道注入(两步注入); (5) LPCVD Poly-Si $5000\text{\AA}$; (6) 扩磷 $15\Omega/\square$; (7)

RIE (严格各向异性); (8) N^- 注入磷 30keV, $2.5 \times 10^{13}/\text{cm}^2$; (9) TEOS SiO_2 沉积 4000—4200 Å; (10) 侧墙成形 (RIE); (11) N^+ 注入砷 70keV, $5 \times 10^{13}/\text{cm}^2$; (12) 快速热退火 (RTA) 1000°C, 40"; (13) 溅射 Ti 300—350 Å; (14) RTA 700°C, 10"; (15) 选择腐蚀 3[#] 液; (16) RTA 900°C, 10"; (17) CVD $\text{SiO}_2 + \text{PSG}$; (18) 光刻孔 + RIE; (19) 溅射 TiN 或 Ti + TiN; (20) 电子束蒸发 Al-(Si); (21) 光刻 Al + RIE (Al-(Si)/TiN + Ti) (22) 合金。

图 1(a) 见图版 I 为自对准 Ti-SALICIDE LDD NMOSFET 剖面结构, 并给出了主要的结构参数。

图 1(b) 见图版 I 为实际的自对准 Ti-SALICIDE LDD NMOS FET 的 SEM 剖面。其表面覆盖 Si_3N_4 膜是为了制作 TEM 样品解理的需要, 以保护样品的完整性。W 为侧墙形成后 (sidewall spacer) 的宽度。

3 分析与讨论

自对准 Ti-SALICIDE 上述工艺流程的确立是经过优化后得到的, 它的成功应用需解决好几个关键问题, 下面分别来讨论分析这些问题。

3.1 形成硅化物的快速热退火 (RTA)

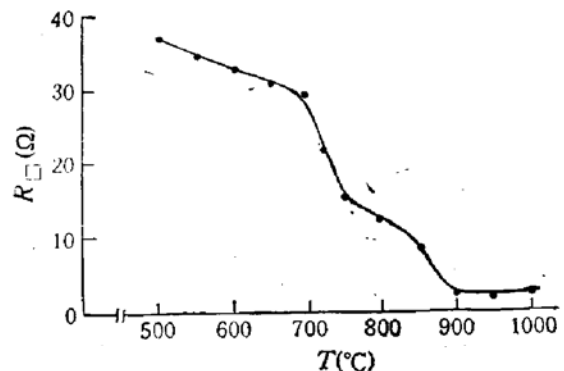
为防止已形成的浅结浓度再分布, 在 Ti-SALICIDE 工艺中采用快速热退火来形成 TiSi_2 。如图 1 所示, TiSi_2 在栅和源/漏区同时形成, 中间仅被 0.3 μm 左右的 TEOS spacer 隔离, 故任何横向的 silicide 的形成都将引起栅与源/漏区的“桥连”短路。在 TiSi_2 形成中, Si 是主要的移动粒子, 研究表明: 在 Ti 与 Si 的热反应中采用高纯 N_2 作为退火气氛是 Ti-SALICIDE 工艺成功的关键。这是由于表面上形成的 TiN 膜及以 N 填充的 Ti 膜抑制了 Si 的横向扩散及其横向 TiSi_2 的形成, 避免了“桥连”。同时我们的实验还表明在 RTA 温度 > 750°C 时, Ti 与 SiO_2 间的反应明显可见, 为保持场区和 spacer SiO_2 的完整性及避免“桥连”发生, Ti-SALICIDE 的形成温度不宜高于 720°C。实验中我们采用以高纯 N_2 为退火气氛的两步快速热退火 (RTA) 来形成 TiSi_2 : 先 700°C RTA, 此时 Ti 不与 SiO_2 反应, 而与 Si 形成富钛硅化物 (Ti_3Si_3 , TiSi), 然后选择腐蚀净 SiO_2 上的 TiN 和未反应的 Ti, 再高温 900°C RTA, 使富钛硅化物转化成稳定的 TiSi_2 。

表 1 给出了不同 RTA 温度和不同 Ti 膜厚度对形成 TiN 和 Ti-硅化物厚度的影响。表中各种薄膜的厚度及消耗的 Si 的厚度均用 α -step-200 测量。由表 1 可见, RTA 温度不同, 形成的 TiN/硅化物的比及 Ti/Si (消耗) 的比也不同, 这是因为 Ti-Si 在 N_2 中退火时, 在表面上 N 与 Ti 的反应与 Ti/Si 界面上 Ti 与 Si 的反应是同时进行的两个竞争的反应过程, 此竞争直至两个反应前沿相遇。在所选择的温度范围内, 温度偏低有利于 TiN 形成, 即 TiN 膜厚; 温度偏高, 有利于 TiSi_2 的形成, 即 TiSi_2 膜厚。所以, 退火温度的选择除要考虑上述“桥连”和 Ti- SiO_2 间的热反应外, 还需考虑 Si 的消耗量、生成的 TiN 和 TiSi_2 的厚度、薄层电阻、接触电阻及 P-N 结击穿电压、漏电等诸多因素。

表 1 不同 RTA 温度和不同 Ti 膜厚度对形成 Ti 硅化物和 TiN 层厚度的影响

厚度 (nm)	形成方式		温度 (°C)	硅化物厚度 (nm)	TiN 厚度 (nm)	消耗 Si 厚度 (nm)	TiN 硅化物	Ti Si(消耗)	Ti 硅化物
32	二步退火	第一步	700	60	11	42	1:6	1:1.3	1:1.9
		第二步	900	90	10	75	1:10	1:2.3	1:2.8
	一步退火		900	110	10	90	1:11	1:2.8	1:3.4
51	二步退火	第一步	675	90	18	55	1:5	1:1.1	1:1.8
		第二步	850	140	14	100	1:10	1:2.0	1:2.7
	一步退火		850	150	11	105	1:13	1:2.0	1:2.9
72	二步退火	第一步	700	120	20	100	1:6	1:1.4	1:1.7
		第二步	900	180	15	135	1:12	1:1.9	1:2.5
	一步退火		900	210	17	150	1:12	1:2.1	1:2.9

图 2 给出了 320 Å Ti 膜在 n^+ Si 上形成的 TiSi_2 薄层电阻与 RTA 温度的关系。表明在 500—950°C 范围内,薄层电阻随 RTA 温度上升不断下降,而且在 720°C 和 900°C 处有两个明显的降落。有研究表明^[4,5]薄 Ti 膜在硅衬底上热退火形成硅化物的先后次序为 Ti_3Si_2 、 TiSi 、 TiSi_2 , 它们对应的电阻率分别为 $55 \times 10^{-6} \Omega \cdot \text{cm}$, $39 \times 10^{-6} \Omega \cdot \text{cm}$, $16 \times 10^{-6} \Omega \cdot \text{cm}$ 。由此推测 Ti 硅化物在这两个温度处组分和结构发生了较大的变化,为我们选择两步退火温度提供了有力的参考依据。AES 深度分析证实了这一点:在 RTA 温度为 500°C 时,表面上 Ti 转化成了 TiN,膜,Ti/Si 界面处,有极少量的 Si 向 Ti 膜内扩散,此时 $R_{\square}$ 较大,为 37 $\Omega/\square$;当 RTA 温度为 720°C 时, Si 与 Ti 的比例接近 1:1,说明生成物以 TiSi 为主, $R_{\square}$ 比 500°C 时有一明显的降落,为 21 $\Omega/\square$;当 RTA 温度为 900°C 时,生成的 Ti 硅化物中 Ti 与 Si 的比例严格地为 1:2,即形成了稳定的 TiSi_2 相, $R_{\square}$ 又出现了一个明显的降落,达最小值 4.0 $\Omega/\square$;当温度超过 900°C 以后, $R_{\square}$ 呈现上升趋势, TiSi_2 表面开始显得粗糙。

图 2 TiSi_2 薄层电阻与 RTA 温度的关系
Ti 膜厚 320 Å, 衬底为 n^+ Si

下面讨论不同 RTA 温度对浅结二极管特性的影响(这里二极管结深也为 0.22 μm)。二极管未溅射 Ti 前击穿电压为 35—40V,漏电为 10^{-10} A。溅射 320 Å Ti 膜,低温退火和选择腐蚀后的击穿电压和漏电,如表 2 所示。

可见原来良好的二极管经第一步低温 RTA 后都变坏了,这可解释为:由于在较低温度下,所生成的多种富 Ti 硅化物并存 (Ti_3Si_2 、 Ti_5Si_3 、 Ti_5Si_4 、 TiSi),这些硅化物消耗不同比例的 Si,其相结构、物理性能、线膨胀系数等各有差异,而且排列、分布是紊乱无章的,造成硅化物与 Si 界面处不平整,产生很多缺陷,且具有较大的应力,直接波及到离界面较近的 PN 结,使漏电增加。

表 2 不同低温 RTA 后二极管特性

温 度(°C)	漏 电 (A)	击穿电压 (V)
550	10^{-7}	8 软击穿
650	10^{-8}	10 软击穿
700	10^{-8}	20 软击穿

若将上述样品再分别进行高温 RTA 退火,发现二极管的特性明显变好,恢复到了未溅射 Ti 前的值。这是由于在高温下形成了单一、稳定的、整齐排列的 TiSi_2 , 上述不利因素均得以消除。结果见表 3。

表 3 经高温 RTA 后二极管特性

低温(°C)	高温(°C)	漏电 (A)	击穿电压 (V)	选择腐蚀效果
550	850	10^{-10}	25	硅化物基本被腐蚀掉
	900	10^{-10}	40	TiN 和未反应 Ti 被腐蚀净
650	850	10^{-9}	15	硅化物没被腐蚀掉
	900	10^{-9}	35	TiN 和未反应 Ti 被腐蚀净
700	850	10^{-10}	25	硅化物没被腐蚀掉
	900	10^{-10}	40	TiN 和未反应 Ti 被腐蚀净

而当 RTA 温度 $>950^\circ\text{C}$ 时,表面呈粗糙趋势,漏电也增加。对比上述实验结果可见,RTA 低温 700°C 和高温 900°C 条件下的各项指标性能最佳。

3.2 溅射 Ti 膜的厚度

Ti 在高纯 N_2 中,经过退火,一部分形成 TiN,而与 Si 接触的部分就转化为硅化物,在消耗 Si 的同时,掺杂 As^+ 也被分凝到硅化物中,并在退火过程中外扩散而损失掉,使得硅化物/Si 界面处 Si 中掺杂浓度下降,接触电阻增大。当浅结形成、杂质浓度分布确定以后,硅化物/Si 界面处 Si 中杂质浓度降低多少与生成的硅化物厚度亦即 Ti 膜的厚度有关。具体由表 1 可见。不同 Ti 膜厚度在相同退火条件下所消耗的 Si 的比例是不同的,Ti 膜薄,形成 TiSi_2 所消耗的 Si 比例就多,相应形成 TiSi_2 膜的比例也大。这可以从 Ti 硅化物形成机理上得到解释。Ti/Si 热反应时,是 Si 原子向上扩散与 Ti 原子形成硅化物,在反应初期,是与 Si 接触的那部分 Ti 转变成硅化物,而在以后的过程中,Si 原子就要穿过这层硅化物而与上层未反应的 Ti 反应形成硅化物,显然 Ti 膜越厚,Si 原子穿过厚 TiSi_2 层扩散到界面就越困难,所形成的硅化物就要减少。在我们实验条件下 320Å Ti 膜在两步退火后 Ti 与所消耗的 Si 的比例为 1:2.3, Ti 与所生成的 TiSi_2 的比例为 1:2.8,与文献报道接近^[6]。

用扩展电阻法对 320Å Ti 膜和 510Å Ti 膜的样品在两步退火后测量分析其深度分布表明:对 320Å Ti 膜样品,硅化物/Si 界面处 Si 中的杂质浓度为 $1.4 \times 10^{20}/\text{cm}^3$,界面离 PN 结为 $0.15\mu\text{m}$,相应 PN 结特性良好;而对 510Å Ti 膜样品,形成硅化物后,其界面处 Si 中的杂质浓度下降为 $4 \times 10^{19}/\text{cm}^3$,这对欧姆接触不利,而且界面离 PN

结仅为 $0.12\mu\text{m}$, 再加上反应界面不平整, 相应电学测量表明 PN 结漏电大大增加。

当然 Ti 膜厚度也不能过薄, 否则薄层电阻增大。在我们条件下优化的 Ti 膜厚度为 $300\text{--}350\text{\AA}$ 。

3.3 选择腐蚀

SALICIDE 工艺中, 为能有效地腐蚀干净低温退火时在场氧化层及侧墙上形成的 TiN 及未反应的残存 Ti, 又保留住栅与源/漏区上的 Ti 硅化物, 使之不遭受过腐蚀而影响薄层电阻, 要求腐蚀液具有强选择性, 并易于控制。

在国外早期报道中, 多半采用 $(\text{NH}_4\text{OH}:\text{H}_2\text{O}_2)$ 溶液, 近几年也有用 $(\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2)$ 溶液的, 我们通过多次实验发现 $(\text{NH}_4\text{OH}:\text{H}_2\text{O}_2)$ 腐蚀液有其不足之处: 其一是选择腐蚀速率对温度变化很灵敏, 不易控制; 其二是对 Ti-硅化物有侵蚀作用。改用 $(\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2)$ 溶液做实验, 发现它对 TiN 及 Ti 的选择腐蚀性能比 $(\text{NH}_4\text{OH}:\text{H}_2\text{O}_2)$ 溶液强, 而且对 Ti-硅化物也无侵蚀现象, 这可从 Ti-硅化物样品薄层电阻不随腐蚀时间增加反映出来。

表 4 给出了自对准 Ti-SALICIDE 工艺的栅、源/漏区薄层电阻, 并与 polycide 结构和常规结构的进行了比较。

表 4 栅和源/漏区薄层电阻特性

结 构	$R_{\square}$ ($\Omega/\square$)	
	源-漏区	栅 区
polycide	$41\Omega/\square$	$1.7\Omega/\square$
SALICIDE	$4.0\Omega/\square$	$3.5\Omega/\square$
常规硅栅	$41\Omega/\square$	$20\Omega/\square$

由表 4 可见, Ti-SALICIDE 工艺的源/漏区薄层电阻比 polycide 结构和常规结构的小一个数量级, 而对栅的薄层电阻而言, polycide 结构的比常规结构的小 1 个数量级, 比 SALICIDE 结构的小 1 倍, 这是因为在 Ti-SALICIDE 工艺中, 溅射 Ti 膜不能过厚, 一般控制在 $300\text{--}350\text{\AA}$, 生成的 TiSi_2 膜约为 90nm , 比 polycide 结构中溅射的 TiSi_2 膜 $2200\text{\AA}$ 要薄 1 倍所致。

3.4 钛硅化物自对准浅结欧姆接触

硅化物自对准浅结欧姆接触是在 $\text{TiSi}_2/\text{n}^+\text{Si}$ 自对准浅结制备之后再溅射一层 Ti/TiN 和 Al(Si) 而形成, 其间 TiN 层为势垒阻挡层, 以防止 Al-Si 间互扩散造成浅结漏电和穿通等问题, 提高器件的热稳定性。

我们采用开尔文电阻桥法 (CBKR)^[7,8] 测量欧姆接触电阻, 测量结果如表 5 所示。

表 5 钛硅化物自对准浅结欧姆接触特性

结 构		面 积 μm^2	平均接触电阻 R_c (Ω)	接触电阻率 ρ_c ($\Omega\cdot\text{cm}^2$)
Ti-Salicide	$\text{Al}(\text{Si})/\text{TiN}/\text{Ti}/\text{TiSi}_2/\text{n}^+\text{poly-Si}$	2×2	2.82	1.13×10^{-7}
	$\text{Al}(\text{Si})/\text{TiN}/\text{Ti}/\text{TiSi}_2/\text{n}^+\text{Si}$	2×2	2.84	1.14×10^{-7}

下面讨论影响欧姆接触特性的因素。

3.4.1 $\text{TiSi}_2/\text{n}^+\text{Si}$ 界面处 n^+Si 中掺杂浓度的影响

根据金属半导体接触理论,当界面处硅中高掺杂时,电流传输主要由隧道效应决定,欧姆接触电阻率 ρ_c 为:

$$\rho_c \propto \exp \left(A \frac{\phi_B}{\sqrt{N_D}} \right)$$

可见当肖特基势垒高度 ϕ_B 一定时, ρ_c 与 Si 中掺杂浓度 N_D 成指数关系。

如前所述,在 Ti-SALICIDE 工艺中,形成 TiSi_2 时要消耗一定量的 Si , Si 中所含的 As 杂质要分凝到 TiSi_2 中,并有部分在高温退火过程中外扩散而损耗,使界面处 Si 中杂质浓度下降,以致欧姆接触电阻率 ρ_c 增大。我们通过优化注入和退火条件,控制 As^+ 在退火过程中浓度分布的峰值向深度方向移动,并控制一定的 Ti 膜厚度,以至硅化物形成消耗不到这个峰值;同时采用 RTA 退火,时间短,使 As^+ 外扩散减少,这些都对降低欧姆接触电阻有利。

3.4.2 Ti/Si 和 TiN/TiSi_2 间界面状态的影响

溅 Ti 前 Si 的表面处理、 TiSi_2 形成过程中退火气氛中氧含量的控制对降低接触电阻及提高均匀性都很重要。实验还表明在 TiN 层与 TiSi_2 间加一薄层 Ti 能改善欧姆接触,这可能是 Ti 对 TiSi_2 表面在退火过程可能形成的 TiO_xN_y 层中的“氧”的萃取作用所致。其次孔的可能的过腐蚀会对 TiSi_2 造成侵蚀, Ti 的溅射沉积补偿作用也许对降低欧姆接触有好处。

4 实验结果

上述工艺技术已成功地应用于 $0.6\mu\text{m}$ 自对准 $\text{Ti-SALICIDE LDD NMOSFET}$ 及其环形振荡器的研制,特性良好。

图 3 给出了 $0.6\mu\text{m}$ 自对准 $\text{Ti-SALICIDE LDD NMOS FET}$ 的 I_D-V_D 输出特性,特性很好。

表 6 自对准 $\text{Ti-SALICIDE LDD NMOS}$ 器件特性

结 构	自对准 Ti-Salicide LDD 结构	
沟道长度 $L(\mu\text{m})$	0.6	1.0
$I-V$ 输出特性	好	好
阈值电压 $V_T(\text{V})$	0.6 ± 0.1	0.6 ± 0.1
$\frac{\Delta V_T}{\Delta V_{DS}}$	< 0.012	< 0.010
短沟道效应	无	无
双结击穿电压 (V)	11—13	11—13
结漏电 (A)	$< 10^{-10}$	$< 10^{-10}$
跨导 ($W = 10\mu\text{m}$)	> 450	> 500
亚阈值斜率 ($V_{DS} = 5\text{V}$)	89 mV/DEC	87 mV/DEC
衬底电流 ($V_{DS} = 5\text{V}$)	比常规结构小二个数量级	

图 4 给出了自对准 Ti-SALICIDE LDD NMOSFET 的穿通电压 BV_{DS} 及归一化阈值电压与沟道长度的关系, 并与常规器件进行了比较. 由图可见, 自对准 Ti-SALICIDE LDD NMOSFET 的穿通电压 BV_{DS} 及归一化阈值电压随沟道长度 L 的变化十分平缓, 即使在 $L < 1\mu\text{m}$ 后, 而常规结构器件的变化非常剧烈, 尤其是在 $L < 1\mu\text{m}$ 后. 这表明 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD NMOS 器件很好地抑制了短沟道效应.

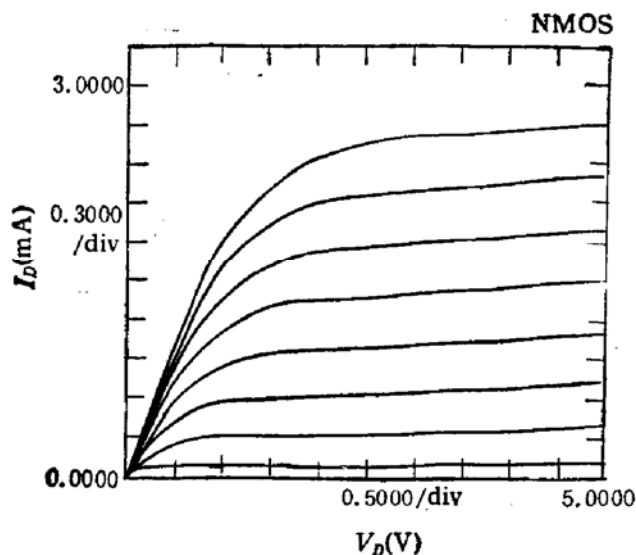


图 3 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD NMOSFET 的 I_D-V_D 输出特性
 V_G start 0.60V step 0.55V stop 5.0V

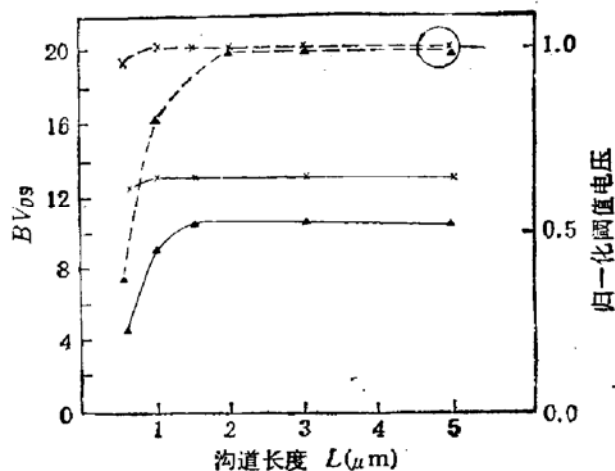


图 4 自对准 Ti-SALICIDE LDD NMOS 与常规结构 NMOS 器件穿通电压 BV_{DS} 及归一化阈值电压与沟道长度的关系
× Ti-SALICIDE LDD 结构 Δ 常规结构

表 6 给出了自对准 Ti-SALICIDE LDD NMOSFET 的特性参数.

用上述工艺技术研制成的 $1\mu\text{m}$ Ti-SALICIDE LDD E/D MOS 31 级环形振荡器平均级延迟为 1.1ns (0.09mW/级), $0.6\mu\text{m}$ LDD E/D MOS 31 级环形振荡器平均级延迟为 340ps , 工作电压均为 5 伏.

5 结论

本文通过对 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD NMOS 器件研制中的关键技术的研究及其器件研制应用, 得到如下结论:

(1) 为防止栅与源/漏间“桥连”短路和避免 Ti-SiO₂ 间的反应, 采用高纯 N₂ 为退火气氛的两步 RTA 来形成 TiSi₂ 膜是 Ti-SALICIDE 工艺成功的关键. 获得的 n⁺ 源/漏区薄层电阻为 $4.0\Omega/\square$;

(2) Ti 膜厚度的最佳选择是 SALICIDE 工艺与 $0.2\mu\text{m}$ 浅结相容的重要环节, 我们选用 Ti 膜厚度为 $300-350\text{\AA}$, 形成的 TiSi₂ 膜厚为 $900\text{\AA}$;

(3) 实验表明 (H₂SO₄ + H₂O₂) 溶液比 (NH₄OH + H₂O₂) 溶液具有更强的选择腐蚀 TiN 和未反应的 Ti 的性能, 而对 Ti 硅化物不侵蚀, 且易于控制;

(4) 硅化物自对准浅结欧姆接触选用了 Al(Si)/TiN/Ti/TiSi₂/n⁺Si 的结构, 热稳定性好, 获得的接触电阻率 ρ_c 为 $1.14 \times 10^{-7}\Omega\cdot\text{cm}^2$;

(5) Ti-SALICIDE 工艺技术已成功地应用于 $0.6\mu\text{m}$ 自对准 Ti-SALICIDE LDD NMOSFET 及 31 级 E/D MOS 环形振荡器的研制,性能良好。

参 考 文 献

- [1] C. Y. Ting, S. S. Iyer, *et al.*, Proc. Electrochem. Soc. Meeting, 1982, 82(2):224.
- [2] T. Yamaguchi, S. Morimoto, *et al.*, IEDM Tech. Digest, 1983, 522.
- [3] M. E. Alperin, T.C. Holloway, *et al.*, IEEE Trans. Electron Device, 1985, ED-32: 141.
- [4] H. Kato and Y. Nakamura, Thin Solid Films, 1976, 34:135.
- [5] «VLSI Electronics Microstructure Science» 1983, 6:342.
- [6] C.Y. Ting and S.S. Iyer, V-MIC Conf., 1985, 307.
- [7] S.J. Proctor *et al.*, IEEE Electron Device Letters, 1982, EDL-3:294.
- [8] W.M. Loh, *et al.*, IEEE Electron Device Letters, 1985, EDL-6:105.

Investigation of Self-Aligned Ti-Silicide LDD MOS Technology

Xu Qiuxia, Gong Yiyuan, Zhang Jianxin, Wang Suofa, Jian Jin,
Hai Chaohe and Hu Huanzhang

(Research and Development Center of Microelectronics, The Chinese Academy
of Sciences, Beijing 100029)

Abstract In this paper the technologies for $0.6\mu\text{m}$ self-aligned Ti-Silicide LDD MOS device are investigated. Two-step rapid thermal annealing and selective etch are adopted for TiSi_2 formation. The optimum of Ti thickness makes SALICIDE technology compatible with $0.2\mu\text{m}$ shallow junction depth, the sheet resistance obtained for n^+ source/drain is $4.0\Omega/\square$. The technologies mentioned above have been successfully applied to the fabrication of $0.6\mu\text{m}$ self-aligned Ti-Silicide LDD NMOSFET and E/D MOS 31 stage ring oscillators with good characteristics.

EEACC: 2560, 2550G, 2550B, 2550F.