

PECVD Si_3N_4 钝化膜对 GaAs MESFET 直流特性的影响

官 俊

(西安电子科技大学微电子研究所 西安 710071)

摘要 用 PECVD 氮化硅薄膜对 GaAs MESFET 进行钝化, 本文讨论了钝化对器件特性的影响, 提出了一种改善 GaAs 器件表面的方法, 结果表明利用该方法和 PECVD 氮化硅钝化膜改善了器件的栅漏击穿电压。

EEACC: 2250E, 2550E, 0520F

1 引言

GaAs MESFET 的栅漏击穿电压 BV_{DG} 是一个非常重要的参数, 它制约着器件的输出功率^[1], 提高 BV_{DG} 有助于改善器件的直流特性和微波特性。

PECVD 氮化硅薄膜与 SiO_2 、聚酰亚胺薄膜相比, 具有介电常数高、密度大、抗水汽、抗钠性、良好的导热性等优点, 在半导体器件工艺中得到了广泛的应用^[2]。

在 GaAs 器件工艺中, 如何进一步地利用氮化硅薄膜的优良性质, 为提高器件的性能服务进行了一些研究和尝试^[3,4], 但是还存在许多问题, 如薄膜应力问题等^[5]。本文中我们将 PECVD Si_3N_4 薄膜用作 GaAs MESFET 的钝化膜, 着重在提高器件的 BV_{DG} 方面进行了探讨, 提出了一种改善 BV_{DG} 的方法, 并研究了该方法对器件的饱和源漏电流 I_{DSS} 和跨导 g_m 的影响。

2 实验方法

2.1 钝化效果的检验 用三探针台和 QT-II 型晶体管参数图示仪, 测试钝化前后管芯的 BV_{DG} 、 I_{DSS} 和 g_m , 来检验薄膜的钝化效果。

2.2 氮化硅薄膜的生长 PD-300 型平板式等离子体气相淀积台, 源气体为 SiH_4 (浓度 2.5%, N_2 稀释) 和高纯氨气。淀积时反应室衬底温度为 300°C ; 气体流量为 SiH_4 : 1.3—1.8 l/min, NH_3 : 0.06—0.10 l/min; 射频功率为阳极电压: 800V, 阳极电流: 120mA。生长的薄膜厚度均匀, 折射率为 2.0 左右。为了有较好的钝化效果和台阶覆盖性, 同时防止薄膜龟裂, 薄膜的厚度应大于 $0.2\mu\text{m}$ 而小于 $0.5\mu\text{m}$ 。

2.3 钝化方法 GaAs 外延片 (掺杂浓度为 $1 \times 10^{17}/\text{cm}^3$) 经过 TiPtAu 栅和 AuGeNi 源漏欧姆接触制备后,进行 Si_3N_4 薄膜钝化。此时管芯的剖面图如图 2(a) 所示,凹槽中的栅与 SiO_2 薄膜之间的距离 d_1, d_2 是很小的(一般情况下 $< 0.2\mu\text{m}$), 而且在栅漏和栅源间,除了凹槽中栅两侧一小部分 GaAs 表面裸露外,大部分都有 SiO_2 薄膜覆盖。为此采取了二种钝化方法:

方法 I 是将芯片清洗后直接生长氮化硅薄膜进行钝化。方法 II 是先用等离子刻蚀芯片表面的 SiO_2 薄膜,使凹槽栅两侧的 GaAs 表面完全暴露出来,再用 Si_3N_4 进行钝化。

2.4 等离子刻蚀 采用极板直径为 140mm, 射频功率为 110W 的平板式等离子刻蚀台。源气体为 CF_4, H_2 , 辅助气体为 Ar 等,其中 $\text{H}_2:\text{CF}_4 = 1:6$ 。

3 实验结果

所列出的实验数据均为统计平均值。

3.1 方法 I 钝化 实验结果如表 1 所示。

表 1 总栅宽 $300\mu\text{m}$ 的 GaAs MESFET 氮化硅钝化前后直流参数的变化情况(单指栅宽 $75\mu\text{m}$)

	$I_{DSS}(\text{mA})$	$g_m(\text{mA/V})$	$BV_{DG}(\text{V})$
钝化前	32.6	19.5	9.1
钝化后	30.0	20.0	9.9
变化率(%)	-7.98	+2.56	+8.79

由表 1 可以看出,钝化后 BV_{DG}, I_{DSS}, g_m 均有变化,但变化不大,说明方法 I 钝化对管芯的直流参数影响不大。

3.2 方法 II 钝化 实验结果见表 2 所示(等离子刻蚀 SiO_2 薄膜所剩厚度为 $0.1\mu\text{m}$)。

表 2 总栅宽 $600\mu\text{m}$ 的 GaAs MESFET 芯片经等离子刻蚀、 Si_3N_4 钝化后直流参数的变化情况(单指栅宽为 $100\mu\text{m}$)

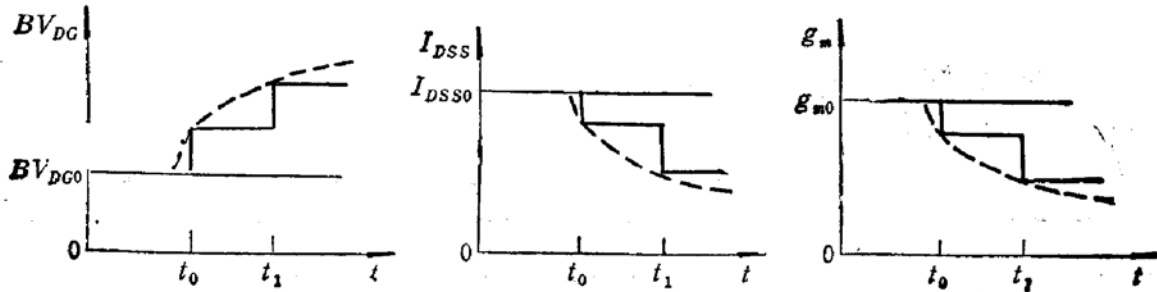
	I_{DSS} (mA)	变化率 (%)	g_m (mA/V)	变化率 (%)	BV_{DG} (V)	变化率 (%)
刻蚀前 ($\text{SiO}_2, 0.54\mu\text{m}$)	35.7		22.5		7.5	
刻蚀后 ($\text{SiO}_2, 0.1\mu\text{m}$)	28.2	-21.0	20.0	-11.1	11.8	+57.3
钝化后	36.3	+28.7	22.5	+12.5	12.6	+6.8

由表 2 可以看出,等离子刻蚀 SiO_2 膜后,管芯的直流参数发生了很大的变化,其中 BV_{DG} 的上升幅度大,而 I_{DSS} 和 g_m 有所下降。再经 Si_3N_4 钝化后, BV_{DG} 保持在等离子刻蚀后的值几乎不变, g_m 和 I_{DSS} 比等离子体刻蚀后的值有所增加。

3.3 等离子刻蚀对管芯参数的影响 在刻蚀 SiO_2 薄膜时,控制刻蚀时间,分阶段刻蚀,然后测试 SiO_2 膜厚和管芯参数,结果见表 3 所示。

表 3 等离子刻蚀对 GaAs MESFET 直流参数的影响

	SiO ₂ 厚度 (μm)	I_{DSS} (mA)	变化率 (%)	g_m (mA/V)	变化率 (%)	BV_{DG} (V)	变化率 (%)
总栅宽 800 μm	0.54	32.0		19.6		6.2	
	0.10	28.6	-10.6	18.6	-5.1	11.4	+83.9
单指栅宽 100 μm	0.00	5.0	-82.5	7.8	-58.0	23.2	+103.5
总栅宽 300 μm	0.54	48.8		20.0		9.5	
	0.10	36.6	-25.0	14.6	-27.0	15.8	+66.3

图 1 BV_{DG} 、 I_{DSS} 、 g_m 随刻蚀时间的变化趋势图

实验发现, 当 SiO₂ 膜厚大于 0.1 μm 时, BV_{DG} 、 g_m 几乎没有变化, 当膜厚剩下约 0.10 μm 时, BV_{DG} 上升幅度较大, I_{DSS} 和 g_m 略有下降, 当膜厚为零时, BV_{DG} 继续增加, I_{DSS} 和 g_m 下降的幅度变大, 如果继续延长刻蚀时间, BV_{DG} 将不再继续增大, g_m 和 I_{DSS} 的下降速度也将变慢。

在图 1 中我们给出了 BV_{DG} 、 I_{DSS} 、 g_m 随刻蚀时间变化趋势的示意图。图中 t_0 、 t_1 分别对应于 SiO₂ 膜厚剩下 0.1 μm 、0.0 μm 时的刻蚀时间, BV_{DG0} 、 I_{DSS0} 、 g_{m0} 为初始值。

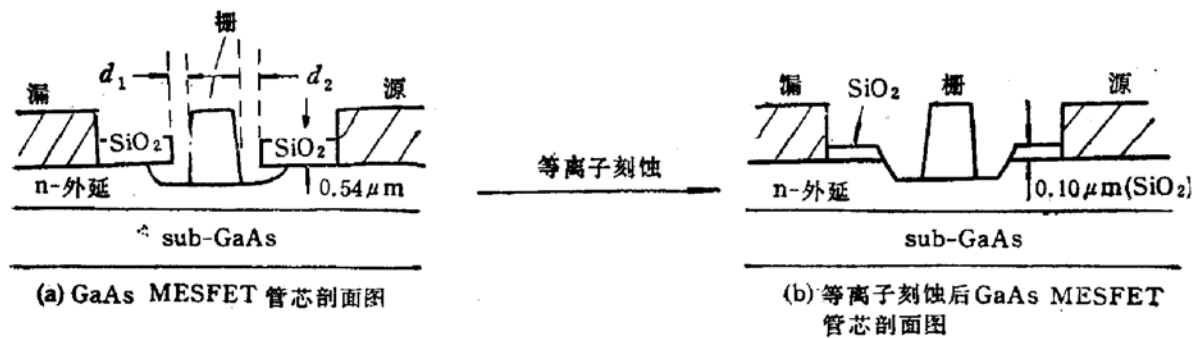
4 结果讨论

一般认为 GaAs MESFET 的 BV_{DG} 主要取决于掺杂浓度 n 和凹槽的形状, 但在 n 和凹槽形状已固定的情况下, 器件的表面状况是影响 BV_{DG} 的主要原因之一, 表面状态差, 表面沾污等, 导致管芯的表面漏电增大, BV_{DG} 下降。

方法 I 钝化, 由于芯片表面大面积覆盖有 SiO₂ 薄膜, 使 Si₃N₄ 没有与 GaAs 表面相接触, 不能够改善 GaAs 的表面状况, 因此对管芯的直流参数影响不大。

用等离子体刻蚀 SiO₂ 薄膜, 并刻蚀到一定的程度, 见图 2 所示的过程。

刻蚀使得凹槽中栅两侧的 GaAs 表面刚好完全暴露出来, 大面积的 SiO₂ 薄膜并未完全刻蚀干净, 达到了提高击穿电压的目的, 而对其它参数的影响保持在可以允许的范围

图 2 等离子刻蚀 GaAs MESFET 管芯上 SiO_2 薄膜过程示意图

等离子刻蚀造成 BV_{DG} 上升, g_m 和 I_{DSS} 下降, 原因如下:

1) 等离子刻蚀 SiO_2 薄膜时, 也将凹槽中栅两侧的 GaAs 表面稍加刻蚀, 将表面的沾污面去掉。

2) 由于等离子干法刻蚀的损伤, 使得凹槽中栅两侧的 GaAs 表面出现一个损伤层, 该损伤层的深度将由刻蚀功率和时间来决定。控制好刻蚀速率和时间, 可以使该损伤减少到最小。由于该损伤造成了栅源、栅漏间电阻加大, g_m 和 I_{DSS} 下降。

将刻蚀后的芯片再用 PECVD Si_3N_4 钝化, BV_{DG} 几乎保持不变, g_m 和 I_{DSS} 有所上升, 这是由于 PECVD Si_3N_4 薄膜对等离子刻蚀造成的损伤略有改善^[6]。

5 结 论

1) 表面状况是影响 GaAs MESFET BV_{DG} 的主要原因之一。等离子刻蚀能够改善 GaAs 的表面状况, 但也给表面造成损伤, 适当地控制刻蚀速率和时间, 可以使 BV_{DG} 提高的同时, 不使 g_m 和 I_{DSS} 劣化。

2) PECVD Si_3N_4 钝化膜能够对等离子体刻蚀损伤造成的 I_{DSS} 和 g_m 的劣化加以改善, 并保持刻蚀后的 BV_{DG} 不变。因此利用等离子刻蚀和 PECVD Si_3N_4 钝化可以有效地改善 GaAs 的表面状况, 提高器件的 BV_{DG} 。

3) 方法 I 钝化对 GaAs MESFET 的直流参数影响不大。

致谢 机电部十三所赵正平、张木义高级工程师和工艺组的同志在实验中给予很大帮助; 西安电子科技大学周南生教授审阅全文, 特此感谢。

参 考 文 献

- [1] 亢宝位, 场效应晶体管理论基础, 北京: 科学出版社, 1985, 156.
- [2] 日本学术振兴会薄膜第 131 委员会. «薄膜ハンドブック», 株式会社オーム社, 1983, 225.
- [3] J. G. Tendorio and P. A. Terizian, IEEE Electron Device Lett., 1982, EDL-5(6): 199.
- [4] F. L. Schuermeyer, in Thin Insulating Films Symp. proc., 1983, 113.
- [5] EDWARD Y. CHANG, GREGORY T. CIBUZAR, *et al.*, IEEE Trans. Electron Device, 1988, 35(9): 1412.
- [6] «1989 年 GaAs 及有关化合物会议论文集», 北京: 1989, 158.

Effect of PECVD Si_3N_4 Passivation on DC Characteristics of GaAs MESFET's

Gong Jun

(*Microelectronics Institute, Xidian Univ., Xian 710071*)

Abstract Passivation by plasma enhance CVD silicon nitride films has been used in the fabrication of GaAs MESFET's. The effect of the passivation on characteristics of GaAs MESFET's is discussed. A way to improve GaAs devices interface properties is put forward. The gate-drain breakdown voltage of GaAs devices can be improved by passivation of silicon nitride films grown by plasma enhance CVD.

EEACC: 2250E, 2550E, 0520F