

硼掺杂多晶硅薄膜电阻率的温度特性

刘晓为 张国威 刘振茂 理 峰

(哈尔滨工业大学 哈尔滨 150006)

摘要 本文研究了用于制作压阻传感器的硼掺杂 LPCVD 多晶硅薄膜电阻率的温度特性。在室温~450℃ 较高温度范围,实验发现电阻率与温度的关系中存在一个极小值,理论分析表明极小值所对应的温度正比于晶界势垒高度,理论分析与实验结果相符合。通过对影响薄膜电阻率温度特性诸因素的分析讨论,提出了减小多晶硅薄膜电阻温度系数的最佳途径。

PACC: 7220F

1 前言

近年来已广泛用于集成电路的多晶硅薄膜又在半导体传感技术中受到重视^[1-5]。多晶硅薄膜压阻式压力传感器由于无 p-n 结隔离,具有 200℃ 以上高温应用潜力。但是,目前对制作压阻传感器的掺杂多晶硅薄膜电阻率温度特性的研究均为 200℃ 以下温度进行^[6-9]。为了改善这种传感器在较高温度下的温度特性,并有效地进行温度补偿,必须了解多晶硅薄膜在较高温度范围内的电阻率温度特性。我们研究了硼掺杂 LPCVD 多晶硅薄膜电阻率在室温~450℃ 较高温度范围的温度特性,为高温压力传感器的研制奠定了基础。

2 实验

以表面热生长了一层 5000 Å 厚 SiO₂ 薄膜的单晶硅片为衬底,在热壁 LPCVD 装置中,通过硅烷热分解淀积一层未掺杂的多晶硅薄膜。用改变淀积温度和多晶硅膜厚的方法获得不同晶粒尺寸和晶界状态的样品,淀积温度范围为 650~750℃;膜厚范围为 0.6~1.5 μm。所有样品均采用硼离子注入掺杂,在 950℃,10 小时热处理后,达到 10¹⁹/cm³ 左右均匀分布的掺杂浓度,然后利用常规光刻腐蚀及金属化工艺制成供电阻测量的多晶硅薄膜电阻样品。在室温~450℃ 范围测量了电阻值,并根据电阻的几何尺寸计算出相应的电阻率,实验结果如图 1(a) 和 (b) 所示,图中圆点为实验测量值,曲线为根据实验值得到的理论拟合曲线。曲线 1 是 650℃ 淀积,1 μm 膜厚的样品;曲线 2 是 700℃ 淀积,0.6 μm 膜厚的样品;曲线 3 是 750℃ 淀积,1 μm 膜厚的样品;曲线 4 是 700℃ 淀积,1.5 μm 膜厚的样品。

研究结果^[9]表明多晶硅薄膜的晶粒尺寸和晶界状态取决于薄膜的淀积温度和膜厚,因此,虽然薄膜的掺杂浓度基本相同,但由于淀积温度及膜厚不同所形成的晶粒尺寸和晶

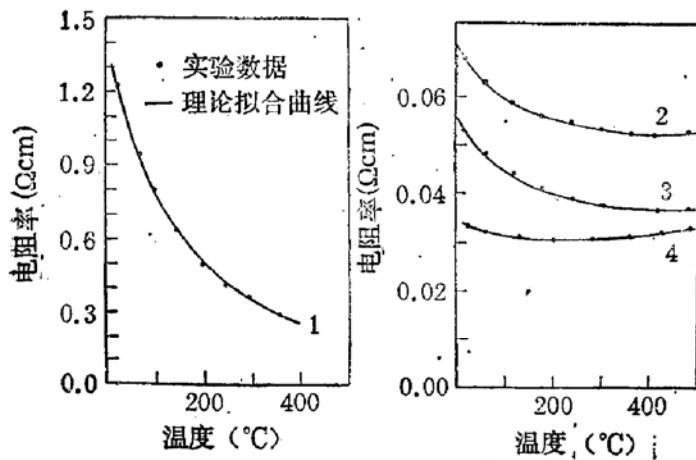


图1 不同样品电阻率与温度的关系

界状态差异,各样品的结果有很大差别。在 200°C 以下较低温度范围,所有样品的电阻率均随温度升高而下降,但速率不同,其中 650°C 淀积的薄膜电阻率室温值很高,下降速率最大。随着温度的升高,电阻率下降速率逐渐减小。在较高温度下,除曲线 1 以外,所有样品都出现电阻率随温度升高而上升的现象,因此这些样品电阻率的温度特性都存在一极小值。这在以前较低

温度范围的实验研究^[6-8]中并未发现。这将使大温度范围应用的多晶硅薄膜压力传感器的温漂方向具有非单一性。

3 理论分析

多晶硅电传导理论通常采用陷阱模型和杂质分凝模型。研究结果^[10]表明硼掺杂多晶硅未发现杂质在晶界上析出,而且杂质分凝模型不能解释电阻率的温度特性。因此我们采用了 N. C. C. Lu 的陷阱模型^[7]。设多晶硅薄膜电阻是由许多单晶硅小晶粒串联而成。如图 2 所示,晶粒间界是厚度为 δ 的无定形硅,存在高密度的悬挂键和缺陷形成的载流子陷阱,晶粒中的自由载流能够为晶界陷阱俘获,从而使晶界带电形成多子势垒,高度为 $q\psi_B$,晶界两侧形成厚度为 W 的耗尽层。对掺杂浓度不太低,淀积温度又不很低的多晶硅,晶粒通常处于图示的部分耗尽状态。而且 δ 远小于平均晶粒尺寸 L ,可以忽略 δ 。在一维条件下,晶粒总电阻可视为晶界电阻(晶界耗尽层电阻)与晶粒中性区电阻的串联,总电阻率

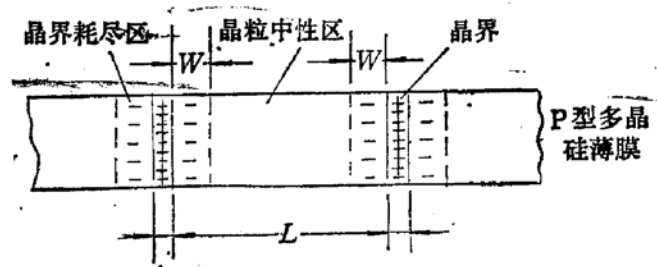


图2 多晶硅薄膜晶粒示意图

$$\rho = \frac{L - 2w}{L} \rho_s + \frac{2w}{L} \rho_b, \quad (1)$$

这里 ρ , ρ_s 和 ρ_b 分别为多晶硅,单晶硅和晶界电阻率。对于 P 型单晶硅^[11]

$$\rho_s = \frac{1}{q\mu_p P(0)}, \quad (2)$$

其中 q 为电子电量, $P(0)$ 为晶粒中性区空穴浓度,空穴迁移率可表示为^[12]

$$\mu_p = \frac{q}{m_b} \cdot \frac{1}{A'T^{\frac{3}{2}} + B'N_A/T^{\frac{1}{2}}}, \quad (3)$$

式中 A', B' 为与温度无关的常数, m_h 为空穴有效质量, 分母第一项为晶格振动散射项, 第二项为电离杂质散射项. 将(3)式代入(2)式得

$$\rho_s = \frac{m_h}{qP(0)} (A'T^{\frac{3}{2}} + B'N_A/T^{\frac{1}{2}}). \quad (4)$$

把晶界势垒看成背靠背的双肖特基势垒, 在外加偏压远小于 $\frac{2k_0T}{q}N_q$ (N_q 为串联晶粒数) 条件下, 晶界电阻率为^[7]

$$\rho_b = \frac{1}{2wq^2P(0)} (2\pi m_h k_0 T)^{\frac{3}{2}} \exp(qv_B/k_0T), \quad (5)$$

式中 k_0 为玻耳兹曼常数, 在 500°C 温度下, 单晶硅本征载流子浓度 $n_i \approx 9.9 \times 10^{16}/\text{cm}^3$, 而通常多晶硅压阻传感器的掺杂浓度 $N_A \geq 10^{18}/\text{cm}^3$, 所以在 450°C 以下温度范围可忽略载流子的本征激发, 并忽略载流子的简并效应, 认为 $P(0) \approx N_A$, 基本与温度无关. 将(4), (5)式代入(1)式得到较高掺杂的多晶硅电阻率与温度的关系:

$$\rho(T) = A(k_0T)^{\frac{3}{2}} + B/(k_0T)^{\frac{1}{2}} + C(k_0T)^{\frac{1}{2}} \exp(qv_B/k_0T), \quad (6)$$

其中

$$A = \frac{L-2w}{L} \cdot \frac{m_h A'}{q^2 N_A k^{\frac{1}{2}}}; \quad B = \frac{L-2w}{L} \cdot \frac{k_0^{\frac{3}{2}} m_h B'}{q^2}; \quad C = \frac{(2\pi m_h)^{\frac{1}{2}}}{q^2 L N_A},$$

是与温度无关的常数, 取决于掺杂浓度, 晶粒尺寸和晶界状态. 等式右边均为温度 T 的函数, 第一项是晶格振动散射项, 具有正温度系数; 第二项是电离杂质散射项, 具有负温度系数; 第三项是晶界电阻率, 它与温度的关系较为复杂.

在温度不太高的情况下, 未再结晶的 CVD 多晶硅薄膜中, 晶粒尺寸 L 与耗尽层宽度 W 相比不很大, 而晶界耗尽层为高阻区, 所以多晶硅电阻率主要取决于晶界电阻率项, 即

$$\rho(T) \approx \frac{2w}{L} \rho_b = C(k_0T)^{\frac{1}{2}} \exp(qv_B/k_0T). \quad (7)$$

实验结果^[6-8]也证实在 $N_A = 10^{16} \sim 10^{19}/\text{cm}^3$ 掺杂下, CVD 多晶硅薄膜电阻率温度关系在 $-50 \sim 160^\circ\text{C}$ 温度范围满足(7)式. 为研究晶界电阻率随温度的变化规律, 将(7)式对 (k_0T) 求导得

$$d\rho/d(k_0T) = C(1/k_0T)^{\frac{1}{2}} \exp(qv_B/k_0T) \left(\frac{1}{2} k_0T - qv_B \right). \quad (8)$$

令 $d\rho/d(k_0T)|_{T_m} = 0$ 得

$$T_m = 2qv_B/k_0. \quad (9)$$

因为 $d^2\rho/d(k_0T)^2|_{T_m} > 0$, 说明 $T = T_m$ 时, $\rho = \rho_m$ 为极小值.

为了验证以上分析得到的电阻率温度关系正确与否, 我们用理论关系式对实验数据进行了线性回归和曲线拟合, 拟合结果如图 1(a), (b) 所示. 表 1 给出了(6)式的拟合曲线与实验数据的拟合误差情况以及用(7)式线性回归得到的晶界势垒高度 qv_B 和用(9)式计算出的极小值 T_m . 由表 1 可见(6)式与实验值的拟合误差很小, 故(6)式是正确的. 数据分析表明我们的多晶硅样品, 在实验温度范围, 基本上是晶界电阻率为主, 故可用(7)式近似地研究薄膜电阻率的温度特性, 表 1 给出的(7)式线性回归系数 qv_B 代入(9)式算出的极小值 T_m 与图 1(b) 中的实验结果很相近.

表 1 各样品拟合误差,晶界势垒高度和极小值

曲线编号	淀积温度(°C)	膜厚(μm)	平均拟合误差%	最大拟合误差%	$q\varphi_B$ (eV)	T_m (°C)
1	650	1.0	1.53	3.16	0.0779	*
2	700	0.6	0.49	0.99	0.0302	428
3	750	1.0	1.06	2.29	0.0295	412
4	700	1.5	0.43	1.24	0.0212	219

注* T_m 值远远高于实验温度范围,而不可能观察到。

4 讨论

从实验验证的(7)式可见,影响多晶硅电阻率温度特性的主要参数是晶界势垒高度,掺杂浓度和平均晶粒尺寸。

4.1 晶界势垒高度的影响

对掺杂不太高的 CVD 多晶硅,晶界电阻率为主,故可用(7)式讨论,得出电阻率温度系数

$$\frac{d\rho}{\rho d(k_0T)} = \frac{1}{2(k_0T)^2} (k_0T - 2q\varphi_B) = \frac{1}{2(k_0T)^2} (k_0T - k_0T_m). \quad (10)$$

可见温度系数是 $q\varphi_B$ 和 T 的函数, $\frac{d\rho}{\rho d(k_0T)}$ 随 T 变化表明掺杂多晶硅电阻不易于进行温度补偿,通常也不适于制作热敏电阻。温度系数正比于 $(T - T_m)$ 说明,在 T_m 附近,电阻温度系数小;当 $T < T_m$ 时,电阻具有负温度系数,当 $T > T_m$ 时,则为正温度系数。温度系数正比于 $1/(k_0T)^2$ 说明温度升高有利于减小温度系数。

由(9)式 $T_m \propto q\varphi_B$, 可认为晶界势垒高度的影响是以改变 T_m 来实现的。对一定的传感器工作温区 $[T_1, T_2]$, 为尽可能减小电阻温度系数,显然应使 T_m 处于温区之中。为了便于温度补偿应使 $T_m = T_1$ 或 $T_m = T_2$, 从而得到恒正或恒负的温度系数,考虑到温度升高有利于减小温度系数,应尽可能使 $T_m = T_1$, 这样在工作温区内电阻将具有恒正且较低的温度系数。

晶界势垒高度取决于晶界陷阱密度和掺杂浓度^[6-8], 在掺杂浓度一定的条件下只与晶界陷阱密度有关。适当提高淀积温度和增加膜厚能改善薄膜的结晶状态^[9], 晶界陷阱密度相应减少,导致 $q\varphi_B$ 降低,从而有效地降低 T_m 。反之则使 T_m 增加。

4.2 掺杂浓度的影响

研究结果^[6-8]表明: 高掺杂下,势垒高度将随掺杂浓度增加而减小,在晶界电阻率仍起主要作用时,掺杂浓度对温度特性的影响通过 $q\varphi_B$ 而起作用,分析结果与前面的讨论类似,适当提高掺杂浓度可使 $q\varphi_B$ 下降到 $T_m = T_1$, 从而得到较小且易于补偿的电阻温度系数。

晶界电阻率不起主要作用时,对(6)式求导得

$$\frac{d\rho}{d(k_0T)} = \frac{3}{2} A(k_0T)^{\frac{1}{2}} - \frac{3}{2} B/(k_0T)^{\frac{3}{2}} + \frac{C}{(k_0T)^{\frac{3}{2}}} \exp\left(-q\varphi_B + \frac{1}{2} k_0T\right), \quad (11)$$

其中 $A \propto 1/NA$, $C \propto \frac{1}{N_A L}$, B 与 N_A 无关, 在高掺杂下, 右端第一项远小于第二项, 晶粒尺寸较小时可忽略第一项。只要 qv_B 大小适当使 $T_m \leq T_i$, 则第二, 三项符号相反, 相互抵消, 这种自补偿作用可形成很低的电阻温度系数。这需要通过实验调整晶粒尺寸和掺杂浓度以获得最佳补偿效果。Germer^[1] 的高掺杂微晶硅就属于上述情况, 他得到很低的电阻温度系数 ($0.01\% ^\circ\text{C}^{-1}$), 但是高掺杂和小晶粒尺寸大大降低了电阻的应变系数, 仅为 $15 \sim 17$ 。

4.3 晶粒尺寸的影响

当晶界电阻率起决定作用时, 由(10)式可见电阻率温度系数与晶粒尺寸无关。

当晶粒中性区电阻率起主要作用时,

$$\rho(T) = A(k_0 T)^{\frac{3}{2}} + B/(k_0 T)^{\frac{3}{2}},$$

A 和 B 均正比于 $\frac{L-2w}{L}$, 显然 $\frac{d\rho}{\rho d(k_0 T)}$ 将与 L 无关, 所以晶粒尺寸对电阻温度系数基本无影响。

5 结论

多晶硅薄膜电阻率由晶粒中性区和晶界势垒区电阻率两部分组成, 对掺杂浓度不太高的未再结晶 CVD 多晶硅薄膜, 薄膜电阻率通常取决于晶界部分, 在室温 $\sim 450^\circ\text{C}$ 较高温度范围, 晶界电阻率存在一极小值 $\rho(T_m)$; $T < T_m$ 时, 电阻温度系数 $TCR < 0$; $T > T_m$ 时, $TCR > 0$ 。通过调整薄膜淀积条件, 可使 T_m 接近或达到工作温区的低温限, 从而获得恒正和最小的薄膜电阻 TCR 。

在高掺杂下, 掺杂浓度增加可使 T_m 减小, 而影响 TCR 。在极高掺杂条件下, 晶粒中性区 $TCR < 0$, 晶界 $TCR > 0$, 两者的自补偿效应能大大减小薄膜的 TCR 。

通常晶粒尺寸对薄膜 TCR 无大影响。

参 考 文 献

- [1] W. Germer, *Sensors and Actuators*, 1985, 7(2): 135
- [2] Y. Onuma and K. Kaminura, 86' 中日敏感技术讨论会论文集(英文版)1986, 87.
- [3] D. Schubert *et al*, *Sensors and Actuators*, 1987, 11(2), 145
- [4] 郭青等, STC'89 首届全国敏感元件与传感器学术会议论文集1989, 178.
- [5] P. Kopystynski and E. Obermeier, *Sensors and Actuators*, 1989, 18(3,4): 239.
- [6] J. Y. W. Seto, *J. Appl. Phys.* 1975, 46: 5247.
- [7] N. C. C. Lu, *et al.*, *IEEE Trans. Electron. Devices*, 1981, ED-28: 818.
- [8] 王济身等, *电子学报*, 1984, 12(3): 101.
- [9] 刘晓为, 哈尔滨工业大学硕士论文, 1988.
- [10] M. M. Manduran, Ph. D. thesis Stanford University, 1981.
- [11] S. M. Sze, *Physics of Semiconductor Devices*, Second Edition, 1981.
- [12] 刘恩科, *半导体物理*, 国防工业出版社, 1979.

Temperature Characteristics of Boron-Doped Polysilicon Film Resistivity

Liu Xiaowei, Zhang Guowei, Liu Zhenmao and Li Feng

(Department of Control Engineering, Harbin Institute of Technology)

Abstract The temperature characteristics of resistivity of the boron-doped polysilicon films used for the fabrication of piezoresistive sensors have been investigated. There is a minimum resistivity between the room temperature and 450°C. The theoretical analysis shows that the temperature of the minimum resistivity is directly proportional to the potential barrier-height of the grain boundaries in polysilicon. The theoretical analysis is in agreement with the experimental results. By the analysis and discussion to the factors effecting on the temperature characteristics of the film resistivity, the optimum way to decrease the temperature coefficients of the polysilicon film resistors has been proposed.

PACC: 7220F