

MOS 结构低温负偏压温度不稳定性*

陆德仁 朱德光

(中国科学院上海冶金研究所 上海 200050)

摘要 本文报道了在氧等离子体中暴露过的热生长二氧化硅 MOS 结构,置于 -170 至 100°C 的环境中,经受 -0.3 至 -10 MV/cm 电场作用 1 ms 至 100 s 的时效处理后,仍然表现出不稳定性的实验结果。 1 至 10 ms 的时效时间是常规负偏压温度不稳定性试验时间的几百,乃至几十万分之一,用这样短的低温负偏压应力,研究了光照对 MOS 结构负偏压温度不稳定性影响,实验与预想一致, N 型 MOS 结构应力处理时,若无光照,时效时间短于 10 ms ,处理后 $C-V$ 曲线不位移,若有光照, $C-V$ 曲线向左位移 0.15 V 左右。对于 P 型 MOS 结构, $C-V$ 曲线总会发生位移,与光照与否无关,而且其位移大小与 N 型 MOS 结构有光照的情形相当。另外还研究了 MOS 结构带中电压位移对于负偏压温度应力中三个因素(偏置电压、时效时间和温度)的依赖关系。这些实验试图把负偏压温度不稳定现象中的空穴注入与空穴注入二氧化硅向后体内输运的过程分开。实验结果进一步证实了注入的空穴跳跃模型和空穴输运过程具有热激活的特征。

PACC: 7340Q, 7220J, 7360H

引言

MOS 结构在较高温度经受负电压的时效处理后,其 $C-V$ 曲线向左位移,并发生歪斜,表明 MOS 结构中有新的界面陷阱发生,同时“固定电荷”也明显增加,这就是所谓的负偏压温度不稳定性 (Negative Bias Temperature Instability)^[1], 又称慢俘获效应。这种不稳定性自发现至今已 20 余年^[2,3],许多作者对其进行了研究^[4-14],提出各种模型来解释,其中包括电化学反应和扩散模型^[2,4,5],场致弱键断裂^[6]和过剩硅渗透模型^[7],热助电子发射模型^[9,10]和空穴跳跃模型^[11-14]等。最近,本文作者研究了光照对负偏压温度不稳定性实验的影响^[15],实验结果支持空穴跳跃模型。

空穴跳跃 (Hole Hopping) 模型的要点是,空穴在两空穴陷阱之间,借助于伴有热激活过程的隧道穿透机制发生渡越,空穴不必跨过两陷阱之间存在的高势垒^[16]。空穴借助隧道机制在两点之间跳跃,瞬间即能完成,与温度基本无关。在过去的研究工作中,除少数作者^[13,15]外,研究负偏压温度不稳定性都在 200°C 以上,最高在 450°C 下进行^[6],而且时效时间都长于几分钟,这就很难使热力学过程与空穴跳跃机制分开。如果空穴跳跃模型是真实的,对于那些室温呈现严重负偏压温度不稳定性 MOS 结构,在低温用短时间

* 国家自然科学基金资助项目

本文 1992 年 7 月 13 日收到, 1992 年 9 月 19 日收到修改稿

的负电压进行时效处理,就有可能观察到负偏压温度不稳定性现象。本工作的目标是开展低温脉冲负偏压温度不稳定性的实验研究,验证空穴跳跃模型的真实性和文章着重报道,经等离子体损伤的 MOS 结构,在 -170 至 100°C 经受负电压作用 1ms 至 100s 时效处理后的不稳定性,另外借助于低温和短脉冲电压时间,研究了光照对 MOS 结构负偏压温度不稳定性测量的影响。实验结果表明,空穴跳跃机制在负偏压温度不稳定性中确实占主导地位。

实验

在本工作中所用的试样是两种导电类型同一制备工艺的铝栅 MOS 结构。衬底为掺杂浓度 5 至 $8 \times 10^{14}\text{cm}^{-3}$,取向(100)的 P 型和 N 型硅片,经过标准的双氧水与氨水和盐酸先后配合的两种水溶液清洗后在 1150°C 干氧 7 分钟,然后原位原温度氮气退火 5 分钟,得到 46nm 厚的二氧化硅。在用钨舟加热真空蒸铝之前,硅片置于氧等离子体中暴露 10 分钟。蒸上的铝膜厚度为 $0.2\mu\text{m}$,用光刻技术制成 0.2 到 1mm^2 四种电极面积的 MOS 电容。在整个光刻过程中,硅片经受的烘烤温度不超过 100°C 。硅片背面氧化层去除后,蒸上铝膜。所有的 MOS 结构的可动电荷密度低于 $5 \times 10^{10}\text{q/cm}^2$ 。

MOS 结构经受负偏压温度应力作用后,造成氧化物电荷增加,同时,还伴有界面陷阱的增加。本工作中主要研究氧化物电荷的变化。由于界面陷阱在硅的本征费米能级附近的密度最低,又存在施主和受主两种类型的陷阱,它们大致以本征费米能级为界分布,前者在下,后者在上,因此在硅表面费米能级扫过本征费米能级时,界面陷阱中的净电荷几乎为零^[12]。这样,在观察 $C-V$ 曲线的左右位移时,亦即只涉及氧化物固定电荷对 $C-V$ 曲线位移的贡献时,常采用带中电压 (midgap voltage) 的变化 ΔV_{mg} 来表征^[5,12-15]。常规的负偏压温度不稳定性的实验步骤为,在应力时效前,先在室温测出原始高频 $C-V$ 曲线,然后根据预定要求,提高试样的温度,施加预定的电压(电场),维持一定的时间。时效完成后,试样在保持原偏压的情况下迅速冷却到室温,再测出 $C-V$ 曲线,就可以得到 ΔV_{mg} 。本文主要研究低温负偏压温度不稳定性。在室温以下的温度,只要试样达到预定的低温后,测出原始 $C-V$ 曲线,再施加负电压,维持预定的时间,就可以在试验温度测出最终的 $C-V$ 曲线。这里要注意测绘 $C-V$ 曲线时的扫描电压。对试样而言,扫描电压也是一种应力,为了尽可能减小其影响,实际测绘 $C-V$ 曲线时采用的扫描电压范围尽可能小,负端的极值,大多不超过 MOS 电容的反型电压。实验表明,按这样规定的条件测绘的 $C-V$ 曲线,有很好的重复性。高频 $C-V$ 曲线的测量频率为 1MHz ,在绝对避光的条件下测量。试样置于能用液氮冷却和电加热的样品台上,样品台置于不锈钢真空室内,用多探针同时接触许多 MOS 电容点,波段开关切换,可逐个对每一 MOS 电容点进行测试。

结果和讨论

已经发现,在室温进行负偏压温度不稳定性的测量, N 型 MOS 结构对光照很敏感,

无光照时测量到的带中电压位移与有光照的情形相比会小许多^[45]。如果这一现象的原因归结于N型 MOS 结构受负电压作用后,由初始状态变成深耗尽状态,在无光照时,耗尽区内仅靠热激发一种机制,电子-空穴对的产生率太低,硅表面处没有足够的空穴参与二氧化硅的充电过程,那么,现在实验的温度更低,最低到 -170°C ,电子-空穴对的产生率更小,而且负电压的时效时间最短到 1 ms ,这种对光照敏感的现象会更明显。表 1 所示结果肯定了这种倾向。在 -160°C ,无光照时效处理 1 s , $C-V$ 曲线不位移, 60 s 仅位移 0.06 V ,而有光照处理,带中电压位移大了许多倍。缩短时效时间到 10 ms ,在室温用 -5 MV/cm 电场,无光照, ΔV_{mz} 仍然近于零,有光照为 -0.18 V 。与 N-MOS 试样的情况不同,光照对 P-MOS 试样没有影响,或者说影响很小,而且是有光照情况下的带中电压位移小一些。例如用 1 ms 的脉冲时间,有光照比无光照的小了 0.01 V 。这可能是充了电的空穴陷阱中有一些非常接近硅表面,光照引起放电 (photodepopulation)^[47]。

表 1 光照对低温负偏压温度不稳定性过程的影响

试 样	时效温度($^{\circ}\text{C}$)	时效电场 (MV/cm)	时效时间 (s)	$\Delta V_{mz}(\text{V})$	
				无光照	有光照
N-MOS	-160	-5	1	-0.00	-0.30
N-MOS	-160	-5	60	-0.06	-0.34
N-MOS	25	-5	0.01	-0.00	-0.18
P-MOS	-160	-5	0.001	-0.18	-0.17
P-MOS	-160	-5	1	-0.32	-0.30

表 2 比较系统地给出光照与否,时效时间由 1 ms 到 100 s 5 个数量级的变化范围, N-MOS 试样时效处理后的带中电压位移。时效处理温度为 30°C , 电场为 -3 MV/cm 。无光照 1 ms 和 10 ms 时效处理, $C-V$ 曲线不位移,其它情形,或者时间长了,或者有光照,均有明显的位移。表 2 的最后一行引进一参数 λ , 定义为对于某一时效时间,有光照和无光照两带中电压位移差与有光照带中电压位移之比。参数 λ 表征 MOS 结构经受某特定的负偏压应力作用期间,硅表面中空穴缺乏的程度。 λ 值为 0, 硅表面空穴充裕, λ 值为 1, 空穴极为稀少。若根据表 2 的数据,将 λ 作为时间对数的函数作图,就会得到一条犹如温度较高时的费米分布函数状的曲线。在室温环境, MOS 结构耗尽区内虽有一定的电子-空穴对的热产生率,但在 1 ms 至 10 ms 的短时间内产生的电子-空穴对微乎其微。随着时间数量级地延长,直至 100 s 以上,即使无光照,热产生机制就逐渐能提供足够的空穴,最后造成带中电压位移逐渐与有光照的结果相同, λ 趋近于 0。

表 2 N-MOS 试样经室温 -3 MV/cm 电场时效后的带中电压变化

时效时间	1 ms	10ms	100ms	1s	10s	100s
ΔV_{mz} (无光)	-0.00	-0.01	-0.05	-0.4	-1.7	-2.65
ΔV_{mz} (有光)	-0.14	-0.20	-0.30	-0.7	-1.95	-2.7
λ	1.0	0.95	0.83	0.43	0.13	0.02

考虑到光照对负偏压温度不稳定性的这些影响，在研究相应的带中电压位移关于负偏压温度应力时效的温度、电场和时间的相依关系时，若试样为 P-MOS 结构，一般在无光照的条件下进行实验；试样为 N-MOS 结构，时效处理时一般均用显微镜光源照明。这样，光照引起的放电对结果有些影响，但根据 P-MOS 试样上观察到的情况，光照只比无光照小不到 5%。实际上，实验中看到有光照的 N-MOS 试样和无光照的 P-MOS 试样的实验结果所反映的规律是一致的。

在 -170°C 至 100°C 的不同温度，用 -3 MV/cm 电场施加于 N-MOS 试样，时效处理 60 s，测出相应的带中电压位移 ΔV_{mg} 。结果如图 1 中的曲线 a 所示，在 -30°C 以下的温度，带中电压

位移与温度基本无关，在 -10°C 以上，则随温度的上升很快增加，表明某种热激活机制已与低温时的“慢俘获”机制一起发挥作用。图 1 中还给出用负脉冲电压作用于 P-MOS 试样后带中电压位移随温度变化的实验曲线 b，几乎与温度轴平行。负电压持续时间仅

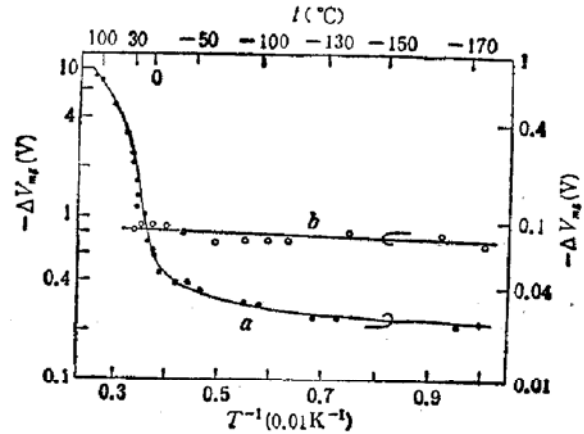


图 1 N-MOS 和 P-MOS 结构分别以 -3 MV/cm 电场、1 分钟时效时间和 -5 MV/cm 电场、1 ms 时效时间的应力处理，试样的带中电压位移与实验温度的关系
曲线 a: N-MOS 结构；曲线 b: P-MOS 结构

1 ms，比 N-MOS 试样的情形短 4 个数量级，热激活机构起的作用很小，这表明在 N-MOS 试样曲线 a 的情形中，热激活机构中包含有空穴输运等需要时间的过程。

在某一温度，用一定的负电压作用于试样后，带中电压位移作为时效时间对数的函数，示于图 2。N-MOS 和 P-MOS 试样的实验结果相似。图中以 N-MOS 试样为例给出了在室温用 -3 MV/cm 的电场测出的两条曲线 a 和 b，两

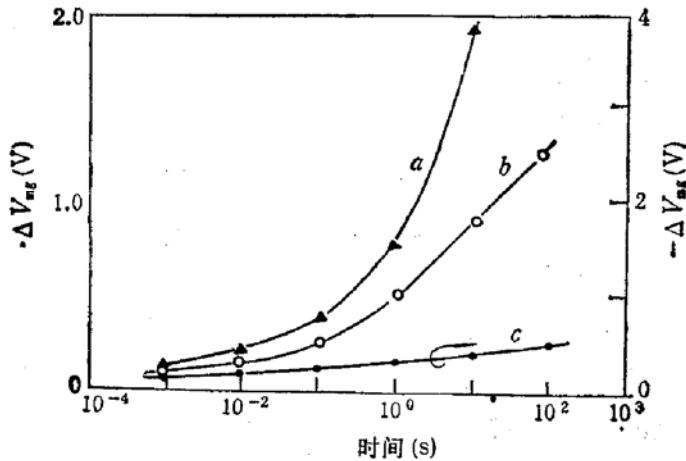


图 2 负偏压温度应力处理中时效时间对带中电压位移的影响
曲线 a: N-MOS 结构在 30°C 经受 -3 MV/cm 电场作用；曲线 b: N-MOS 结构在 25°C 经受 -3 MV/cm 电场作用；曲线 c: P-MOS 结构在 -160°C 经受 -5 MV/cm 电场作用

者的实验温度仅差 5 度，但正好处于带中电压对温度敏感的区域，与图 1 的结果是一致的。随着时效时间数量级的延续，带中电压位移增长明显。图 2 中还给出了以 P-MOS 试样为例在 -160°C 时效处理的实验曲线 c，带中电压位移随着时效时间的延续增长较小。

在低温研究电场的作用，给出了非常有意义的结果，图 3 为在 -160°C 时效处理 P-MOS 试样 1 ms 造成的带中电压位移作为施加电场的函数得到的实验曲线。对于 N-

MOS 试样,得到类似的结果。由图可见,带中电压位移随着施加电场的增加而增加,电场小于 8 MV/cm 时,增长很慢,当电场超过 8 MV/cm ,带中电压位移随电场的增加迅速上升,这表明发生了高场注入^[17,18]。这种高场注入一般不属于负偏压温度不稳定性一类的实验现象,只要电场高到 8 MV/cm 以上,这种高场注入现象在那些稳定 MOS 结构中也一定会发生。文献 [13, 14] 中介绍了一种快速热生长二氧化硅的 MOS 结构,对于 320°C 、 -3 MV/cm 电场几分钟的时效处理,呈现出非常稳定的性能。本工作中用 -9 MV/cm 的强场,在室温施加 5 s , 该 MOS 结构的 $C-V$ 曲线负向位移了 0.8 V 。实验发现一旦用高场使 MOS 结构的氧化物电荷增加后,就很难在常温施加正电压使其减小或消除;而负偏压温度不稳定性引起的正电荷增加,可以在施加正电压后得到减少,甚至完全消除。

前述各项实验结果表明,负偏压温度不稳定现象拓展到很低的温度,时效时间缩短了几个数量级。当初确定这种现象的术语时,主要是考虑到大多数实验在 200°C 以上的温度进行,时效几分钟后才观察到 $C-V$ 曲线的位移。从前面的实验结果还可以发现,在低温环境,电场和时效时间两个因素对“慢俘获”造成的带中电压位移影响不大,当时效时间足够短,比如 10 ms 以内,在室温以下的温度范围内,温度的影响也不明显了。这些情况

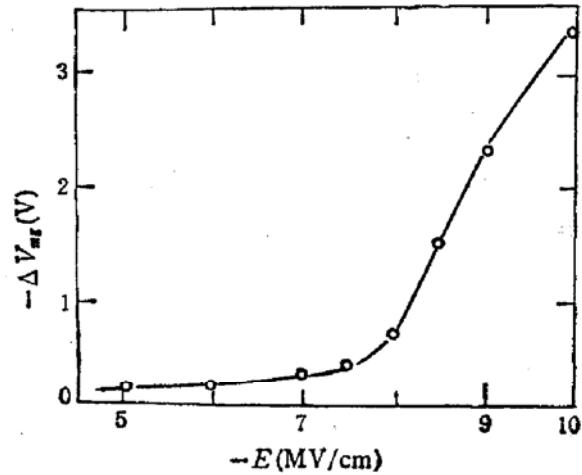


图3 P-MOS 结构带中电压位移随电场的变化
实验温度为 -160°C , 电场作用时间 1 ms

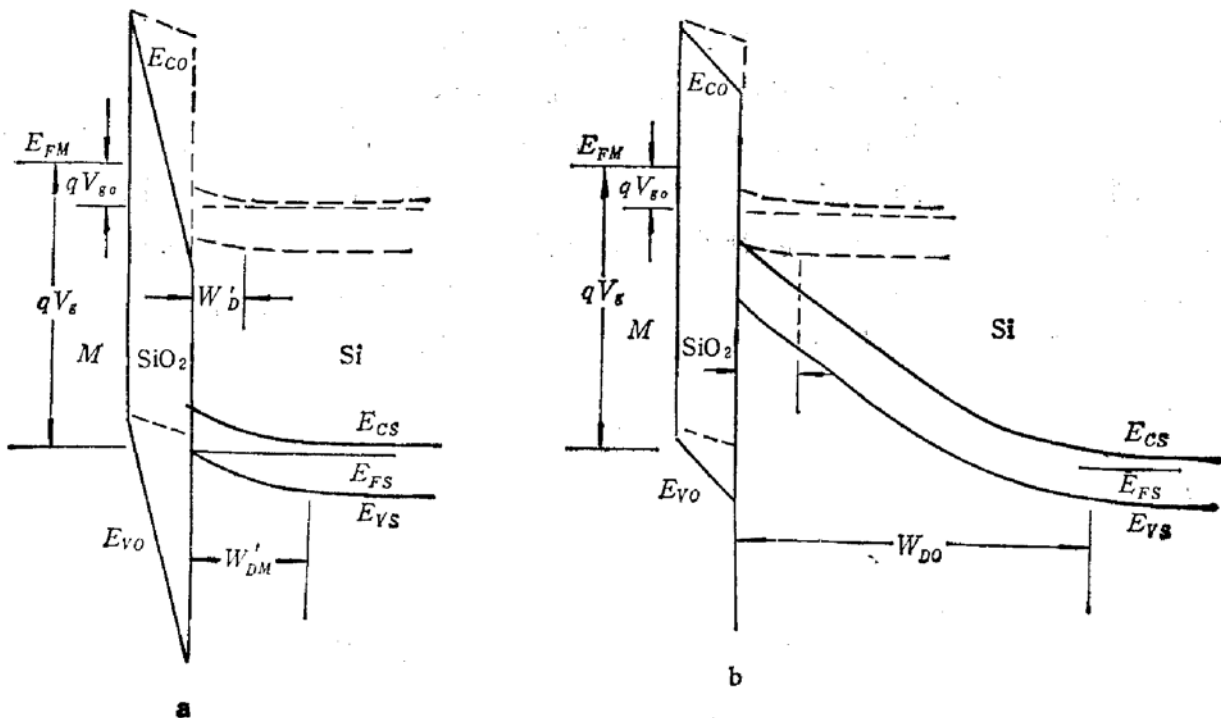


图4 在经受负电场跃变的瞬间, N-MOS 结构的能带变化示意图

说明,在“慢俘获”现象中包含着与温度无关的隧道过程。Woods 等^[17]和 Ning^[19]已经测量出二氧化硅中的空穴陷阱总数在 4×10^{12} 至 $3.1 \times 10^{13} \text{ cm}^{-2}$, 分布于靠近硅表面 13nm 的范围内, 俘获空穴后的陷阱能级在二氧化硅价带顶以上 4—5 eV。根据这一图象可以推知,在近硅表面几个 nm 的二氧化硅层内, 能级又接近硅价带顶的空穴陷阱数非常有限。在低温环境中,二氧化硅价带中空穴的迁移率很小,在陷阱中的空穴更难迁移。因此,在低温条件下,一旦硅表面的空穴经隧道过程进入二氧化硅,并占领了有限的最靠近硅表面、能量水平接近硅价带顶的空穴陷阱,这些空穴就基本上固定在那里了,这之后,对于硅表面的空穴而言,就没有什么空着的空穴陷阱可以占领了。这就解释了低温环境中,电场和时效时间对带中电压位移影响不大的实验结果。

N型 MOS 结构的栅电压由积累或耗尽电压 V_{g0} 跃变到强反型电压 V_g 的瞬间,能带的变化概况示于图 4。图中符号 E_{FM} 和 E_{FS} 分别为金属和半导体费米能级, V_{g0} 和 V_g 分别为电场跃变前后 MOS 结构上的电压, W'_D 和 W'_{DM} 分别为有光时电场跃变前后半导体耗尽层厚度, W_D 和 W_{D0} 分别为无光照时电场跃变前后半导体耗尽层厚度, E_{CS} 、 E_{VS} 和 E_{CO} 、 E_{VO} 分别为半导体和二氧化硅的导带底和价带顶。有光照时,能带的变化仅发生在二氧化硅层,硅表面的能带弯曲变化不大,二氧化硅层内的电场大为增强,如图 4(a) 所示,能带图由虚线变为由实线描绘;无光照时,在电压跃变的瞬间, MOS 结构的硅表层内发生深耗尽,耗尽层扩展许多,耗尽层内的电子被驱走,空穴还未产生,这时二氧化硅和耗尽层上同时有电压的增加,能带图大致如图 4(b) 所示由虚线变为由实线描绘。随着时间的推移,耗尽区内热产生电子-空穴对越来越多,其中电子被电场驱入硅体内,空穴被扫到硅的表面,耗尽区厚度由 W_{D0} 过渡到平衡态时的 W_{DM} , 硅表面积累空穴,二氧化硅上的电压降越来越大,最后与图 4(a) 中的实线大致相同。前面的实验中,有几处发生 N-MOS 试样经受负偏压应力作用时,无光照带中电压保持不变的情况。这时候,二氧化硅层上从一开始就有相当大的负电场存在,但是,或者由于温度太低,或者由于时间太短,硅表面还是没有空穴。在本工作中已反复验证这样一事实:对于 N-MOS 试样,只要有光照,和 P-MOS 试样一样,在 -10°C 以上,用很弱的电场 -0.3MV/cm 作用后,带中电压就发生位移。很明显,这是因为硅的表面有空穴,并不因为电场弱空穴就不能进入二氧化硅。这样,可以得出如下结论:在负偏压温度应力作用于 MOS 结构时,近硅表面二氧化硅中的空穴陷阱俘获的空穴来自硅的表面。在硅的表层有空穴,在近硅表面的二氧化硅一侧有能级水平接近硅价带顶的空穴陷阱,二氧化硅层内有负电场存在,空穴就能借助隧道机制进入二氧化硅,被空穴陷阱俘获,二氧化硅带正电荷,带中电压左移。

结语

受到等离子体损伤的热生长二氧化硅 MOS 结构有严重的负偏压温度不稳定性,在温度低到 -170°C 的环境中,用适中的负电压(-0.3 到 -7 MV/cm 的电场)时效处理这种 MOS 结构 1 ms 到 100 s,造成带中电压位移,这就使负偏压温度不稳定性现象从 200°C 上下的温度范围内向低温扩展了许多,时效时间可以比常规的几分钟缩短四个数

量级以上, 失去了“慢俘获”的特点。用低温和短脉冲电压应力, N-MOS 结构的“慢俘获”现象对光照的依赖性更明显, 甚至可以达到经时效处理后, 带中电压位移为 0 的程度。对于本工作采用的 MOS 结构, 在温度低于 -30°C , 时效处理的温度对带中电压位移的影响不明显, 在温度高于 -10°C , 温度的影响明显。在低温条件下, 带中电压位移与施加的负电场和时效时间的对数大致成线性增长的关系, 当电场超过 -8 MV/cm , 空穴的高场隧道注入发生, 带中电压位移很快地随电场增加。所有这些实验的核心是把负偏压温度不稳定现象中的空穴注入过程与空穴注入二氧化硅后向体内输运的过程分开。实验结果证实: 占据空穴陷阱的空穴来自硅表面的硅价带顶, 空穴注入二氧化硅是一种空穴跳跃过程, 空穴占据最邻近硅表面二氧化硅薄层中的空穴陷阱后向体内输运具有热激活的特征, 只有在这些已占陷阱上的空穴向二氧化硅体内迁徙, 这些陷阱才能俘获新的空穴, 慢俘获过程才继续不断。

参 考 文 献

- [1] E. H. Nicollian and J. R. Brews. *MOS physics and Technology*, New York; Wiley-Interscience, 1982, 794.
- [2] Y. Miura and Y. Matakura. *Jpn. J. Appl. Phys.*, 1966, 5: 180.
- [3] A. Goetzberger and H. E. Nigh. *Proc. IEEE*, 1966, 54: 1454.
- [4] K. O. Jeppson and C. M. Svensson. *J. Appl. Phys.*, 1977, 48, 2004.
- [5] Z. Shanfield, *IEEE Trans. on Nucl. Sci.*, 1983, NS-30: 4046.
- [6] B. E. Deal, M. Sklar, A. S. Grove, and E. H. Snow. *J. Electrochem. Soc.*, 1967, 114: 266.
- [7] B. E. Deal. *J. Electrochem. Soc.*, 1974, 121: 198C.
- [8] A. K. Sinha and T. E. Smith, *J. Electrochem. Soc.*, 1978, 125, 743.
- [9] D. J. Breed. *Solid State Electron.* 1974, 17: 1229.
- [10] D. J. Breed. *Appl. Phys. Lett.*, 1975, 26: 116.
- [11] S. R. Hofstein. *Solid State Electron.*, 1967, 10: 657.
- [12] S. K. Haywood and R. F. Keersmaecker. *Appl. Phys. Lett.*, 1985, 47: 381.
- [13] D. Lu, G. A. Ruggles and J. J. Wortman. *Appl. Phys. Lett.*, 1988, 52: 1344.
- [14] 陆德仁, J. J. Wortman. *半导体学报*, 1990, 11: 448.
- [15] D. Lu, G. A. Ruggles and J. J. Wortman. *Proceedings of International Conference on Materials and Process. Characterization for VLSI*, Shanghai: Oct., 21—25, 1991, 338.
- [16] F. B. McLean, H. E. Boesch, Jr., J. M. McGarrity. *IEEE Trans. on Nucl. Sci.*, 1976, NS-23: 1506.
- [17] M. H. Woods and R. Williams. *J. Appl. Phys.*, 1976, 47: 1082.
- [18] G. Haller, M. Knoll, D. Brauning, F. Wulf and W. R. Fahrner. *J. Appl. Phys.*, 1984, 56: 1844.
- [19] T. H. Ning. *J. Appl. Phys.*, 1976, 47: 1079.

Negative Bias Temperature Instability in MOS Structures at Low Temperature

Lu Deren and Zhu Deguang

(Shanghai Institute of Metallurgy, The Chinese Academy of Sciences, Shanghai, 200050)

Abstract Negative bias temperature instability in both n-type and p-type MOS structures with thermal oxides exposed in oxygen plasma were studied under various negative bias stress conditions at temperatures ranging from -170°C to 100°C , in aging times ranging from 1ms to 100s and at application fields ranging from -0.3MV/cm to -10MV/cm . The lowest temperatures used in this work were seldom. The aging times, 1ms and 10ms, were a few hundredth, and even a few ten thousandth of those times used in conventional negative bias temperature instability experiments. The effect of illumination on the surface of MOS structures during stress on the midgap voltage shifts was investigated. It was found that if an n-type MOS structure is not illuminated during stress aging period of 1ms or 10ms, the C-V curve of the testing MOS structure does not really shift, and if illuminated, about 0.15V midgap voltage shift can be observed. However, for p-type MOS structure, a midgap voltage shift always occurs after a similar stress to the one used in the above experiment of n-type MOS structure in spite of whether or not the p-type MOS structure is illuminated during stress. Studies were also made for the dependences of the midgap voltage shift on negative bias voltage, stress aging time and temperature. It is the key of performing these experiments to separate the hole injection from the hole transportation to oxide bulk once holes inject into oxide hole traps in the whole process of buildup oxide charge during negative bias stress. Our results further confirmed the hole hopping model of the buildup oxide charge and the hole transportation with thermal excitation characteristic.

PACC: 7340Q, 7220J, 7360H