

# 利用 CBE 技术在 Si 衬底上生长 GaAs 薄膜\*

邢益荣

(中国科学院半导体研究所 北京 100083)

(中国科学院表面物理国家重点实验室 北京 100080)

T. B. Joyce, C. J. Kiely and P. J. Goodhew

(英国利物浦大学材料科学和工程系 利物浦 147 信箱, L69 3BX)

**摘要** 采用化学束外延 (CBE) 技术,以三乙基镓 (TEG) 和砷烷 ( $\text{AsH}_3$ ) 为源,在 Si(001) 衬底上生长 GaAs 薄膜. 利用 Hall 效应、卢瑟福背散射 (RBS) 和高分辨率透射电子显微镜 (HRTEM) 检测了外延层的质量. 结果表明, GaAs 薄膜具有 n 型导电性,载流子浓度为  $1.3 \times 10^{15} \text{cm}^{-3}$ , 其杂质估计是 Si, 它来自衬底的自扩散. 外延层的质量随着膜厚的增加而得到明显的改善. 在 GaAs/Si 界面及其附近,存在高密度的结构缺陷,包括失配位错、堆垛层错和孪晶. 这些缺陷完全缓解了 GaAs 外延层和 Si 衬底之间因晶格失配引起的应力,使 GaAs 薄膜的上部分具有好的质量.

**PACC:** 6855, 6170

## 1 引言

CBE 兼有分子束外延 (MBE) 和金属有机物化学汽相淀积 (MOCVD) 这两种当前比较成熟的外延生长技术的优点,因而已被认为是最有前途的制备化合物半导体(尤其是含有 As 和 P 元素的半导体)材料的技术. 至今,利用 CBE 已经成功地生长出许多高质量的化合物半导体材料或异质结,诸如 GaAs/GaAs<sup>[1]</sup>、InP/InP<sup>[2]</sup>、GaAs/AlGaAs<sup>[3,4]</sup>、GaInAs/InP<sup>[5,6,7]</sup> 和 GaInAsP/InP<sup>[8]</sup> 等.

在 Si 衬底上外延生长 GaAs, 从而把两种最重要的半导体材料结合在一起,无疑具有很重要的实用意义. 如果材料性能足够好,就可以扬长避短地设计出新型的高性能半导体器件. 另一方面,从物理学的角度来说,这是在一种非极性半导体材料上生长另一种其晶格常数差异较大的极性半导体材料的典型例子. 通过这种研究,可以期望得到一些关于异质结外延的带有规律性的知识. 因而,这一课题近年来备受重视,实际上,利用 MBE 和 MOCVD 已经生长出质量相当高的 GaAs/Si 异质外延薄膜. 但是,在 GaAs 外延层中的位错密度过高,仍然是影响器件制作的一大难题.

本文报道利用 CBE 在 Si 上外延 GaAs 薄膜的晶体学和电学特性. Hall、RBS 和 HRTEM 分析的结果表明,应用 CBE 技术也能在 Si 衬底上外延生长高质量的 GaAs 薄膜.

\* 本文 1992 年 9 月 8 日收到,修改稿 1993 年 3 月 3 日收到

## 2 CBE 生长

CBE 生长是在英国利物浦大学的一台 VG Semicon V80H 气体源生长室中进行的。该系统装备有两种 V 族元素的氢化物气体源和四种含 III 族元素的金属有机物气体源。每种源都具有独立的气体处理线路。这些气体都是剧毒的。为了安全起见,把气体处理系统密封在一个抽气的橱框中。所有被排出的废气也都通过化学涤气器进行过滤。关于该 CBE 设备的具体结构,已有过详细介绍<sup>[9]</sup>。

Si 衬底是直径 2 英寸(001)高阻单晶片。采用较简单的方法进行清洁处理,整个过程只包括一次化学腐蚀和一次化学氧化,即利用  $1\text{HF}:5\text{H}_2\text{O}$  和  $1\text{HCl}:7\text{H}_2\text{O}_2:1\text{H}_2\text{O}$  各腐蚀 2 分钟。然后利用无钨固定方法装在钼制的样品架上,并尽快通过单级进样锁送入生长室,它的背景真空度为  $10^{-9}\text{mbar}$  数量级。把衬底温度提高至  $\sim 850^\circ\text{C}$ ,以去除表面上的薄氧化层。在此高温处理过程中,利用反射高能电子衍射(RHEED)监测衬底表面的原子结构。随着衬底的加热处理,观察到 RHEED 图样从原来的  $(1 \times 1)$  结构过渡到  $(2 \times 1) + (1 \times 2)$  再构,这表明 Si 表面上氧化层的脱落。

GaAs 外延生长是采用典型的双温度生长方法进行的。首先,当衬底温度为  $300^\circ\text{C}$  时,以  $0.5\mu\text{m}/\text{小时}$  的生长速率外延厚度为  $0.1\mu\text{m}$  的 GaAs 缓冲层。然后,把衬底温度提高至  $580^\circ\text{C}$ ,退火 5 分钟。最后,保持这个温度,以  $1\mu\text{m}/\text{小时}$  的生长速率,在缓冲层上外延一层较厚的  $(1.5\text{--}2.0\mu\text{m})$  GaAs 薄膜。

## 3 CBE 的 GaAs/Si 特性

### 3.1 Hall 测量结果

利用 HL5200 Hall 系统测量了 GaAs 外延层的电学特性。结果表明,这种 GaAs 薄膜是 n 型的,电子浓度  $n = 1.3 \times 10^{15}\text{cm}^{-3}$ 。已有报道<sup>[1]</sup>,利用 CBE 以 TEG 和  $\text{AsH}_3$  为源在  $500^\circ\text{C}$  下同质外延生长的 GaAs 薄膜具有 p 型导电性,空穴浓度  $p = 3.6 \times 10^{14}\text{cm}^{-3}$ ,并认为 p 型杂质是碳,它来源于乙基原子团的热分解。在我们的实验中,GaAs 是被异质外延到 Si 衬底上,主要的 n 型杂质估计是来自衬底 Si 原子的自扩散。这个结果也表明,在我们的 CBE 生长系统中,碳的掺杂浓度不高于  $10^{15}\text{cm}^{-3}$  的量级。当然,不能完全排除碳和硅的掺杂水平都很高,而两者相互补偿之后仅相差  $10^{15}\text{cm}^{-3}$ 。但是,这种可能性很小。Putz 等人<sup>[10]</sup>利用 CBE 技术研究 GaAs 的同质外延时,曾对主要的两种 Ga 源材料——TEG 和 TMG(三甲基镓)所引起的受主杂质浓度进行过比较。其结论是,当利用 TEG 代替 TMG 时,受主浓度的数量级从  $10^{19}\text{cm}^{-3}$  降至  $10^{14}\text{cm}^{-3}$ 。对于我们利用 TEG 进行的 GaAs/Si 异质外延,其碳的掺杂水平与他们的报道一致。

Hall 测量还给出,当 GaAs 膜厚为  $\sim 1.5\mu\text{m}$  时,室温的电子迁移率  $\mu = 840\text{cm}^2/\text{V} \cdot \text{s}$ 。已经知道,载流子的迁移率同外延层的厚度有关。Wolf 等人<sup>[11]</sup>的实验表明,对于利用 MBE 在 Si 衬底上生长的 GaAs 薄膜,获得最高载流子迁移率的最佳厚度是  $1.1\mu\text{m}$ ,这个值远比我们的膜厚大。也有可能,C 的补偿是造成电子迁移率偏低的另一个

原因。

### 3.2 RBS 结果

卢瑟福背散射/沟道实验被用来检测外延层的晶体质量。在实验中,采用  $2.0\text{MeV}^+\text{He}^+$  离子作为入射束,背散射离子是利用 Au-Si 表面势垒探测器在与入射束成  $160^\circ$  角的位置处测量的。

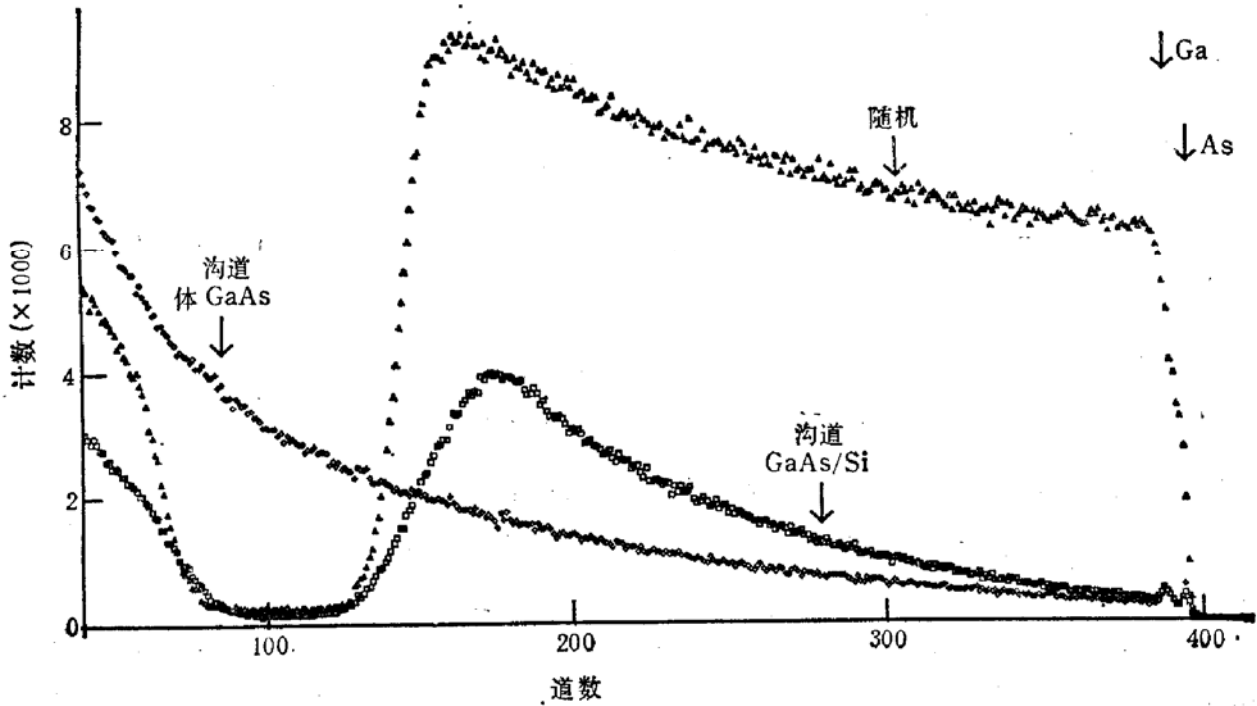


图1 利用 CBE 生长的 GaAs/Si(001) 和体单晶 GaAs(001) 的卢瑟福背散射谱

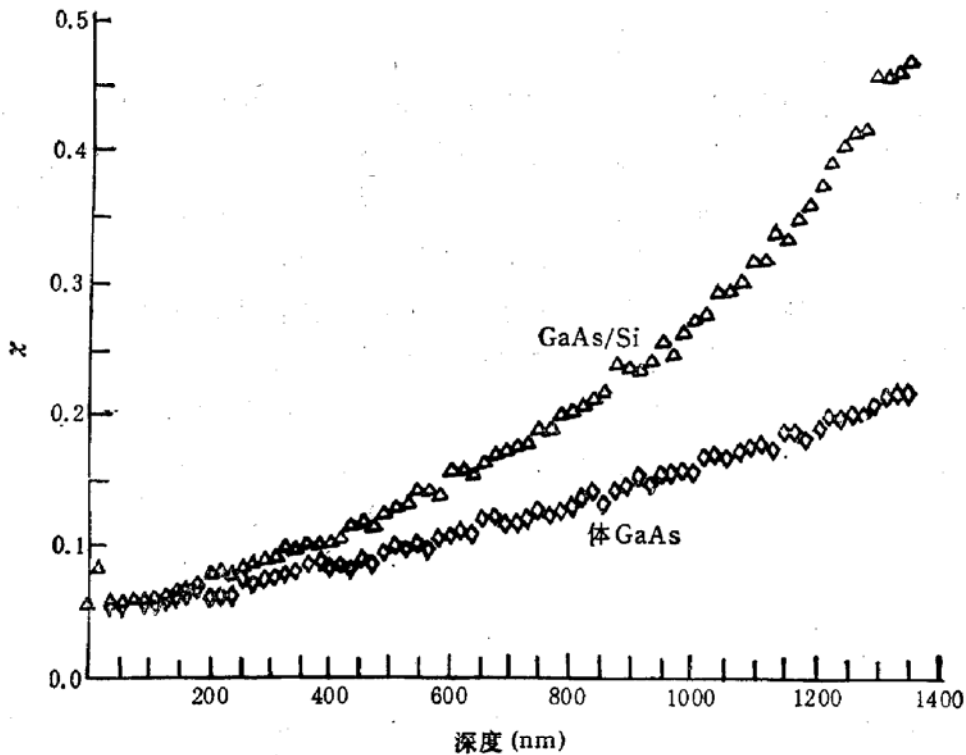


图2 CBE 的 GaAs/Si(001) 和体单晶 GaAs(001) 的χ值 ( $\chi = H_a/H_r$ ) 随深度的变化

图 1 给出 CBE 的 GaAs/Si(001) 和体 GaAs (001) 单晶两种样品的 RBS 随机谱和沟道谱。显然,对于随机产额来说,两种样品是完全相同的。对于沟道谱,两种样品有较大的差别。道数低于 60 的信号来源于 Si 衬底。道数从 140 到 400 之间的产额是由 Ga 和 As 所散射的,根据这个道宽算出 GaAs 外延层的厚度约为  $1.5\mu\text{m}$ 。在沟道谱中,位于道数为 390 和 395 的两个小峰分别是表面 Ga 和 As 原子的贡献。

如果我们以  $H_c$  和  $H_r$  分别表示沟道和随机散射的产额,则  $\chi = H_c/H_r$  就是被测样品中相对缺陷密度的度量。图 2 给出根据图 1 结果计算的两种样品的  $\chi$  值随深度的变化。结果表明,对于 Si 衬底上的厚度为  $1.5\mu\text{m}$  的 CBE GaAs 薄膜,在 GaAs/Si 界面处的  $\chi$  值远高于体 GaAs 对应的值,约为 45%,它随厚度增加而迅速减小,至表面处达到一个极小值  $\chi_{\min} \approx 5.5\%$ 。这个极小值很接近于体 GaAs 晶体的值,在我们的实验条件下约为 5%,即两种样品的  $\chi_{\min}$  相差仅为 0.5%。这个结果可与高质量的 MBE GaAs/Si 的数据<sup>[12]</sup>相比拟。

### 3.3 HRTEM 结果

高分辨率透射电子显微镜技术是研究晶体中结构缺陷的有效手段。我们利用 JEOL 2000EX 显微镜观察了 GaAs/Si 的界面结构。显微镜的工作电压为 200keV,点分辨率为  $2.1\text{Å}$ 。样品是法线方向为[110]的横断面薄片,利用  $\text{Ar}^+$  离子溅射技术进行减薄直至穿孔为止,在溅射过程中,利用液氮进行冷却以避免样品因受热而引起结构发生变化。

业已报道<sup>[13]</sup>,在 GaAs/Si 界面附近存在两种类型的失配位错: I 型位错的柏氏 (Burgers) 矢量为  $\frac{a}{2} [110]$  或  $\frac{a}{2} [\bar{1}10]$  ( $a$  为晶格常数),并都处于 GaAs/Si 界面内; II 型位错的柏氏矢量为  $\frac{a}{2} [101]$ 、 $\frac{a}{2} [10\bar{1}]$ 、 $\frac{a}{2} [011]$  或  $\frac{a}{2} [0\bar{1}1]$ ,这些矢量都与 GaAs/Si 界面(即(001)面)相交,构成  $45^\circ$  的倾角。由于这种斜交的关系,II 型位错调节晶格失配的效率只有 I 型位错的一半。I 型位错也常叫  $90^\circ$  位错,它是纯刃性的; II 型位错也常叫  $60^\circ$  位错,它是混合性的。 $60^\circ$  位错可能沿 {111} 面进行滑移,进入 GaAs 外延层的体内,甚至抵达表面,从而恶化外延层的质量。所以  $60^\circ$  位错与  $90^\circ$  位错数目的比例越小越好。

同利用其它方法制备的 GaAs/Si 一样,在 CBE 的 GaAs/Si (001) 界面及其附近,HRTEM 图象显示出高密度的界面失配位错、堆垛层错和孪晶等结构缺陷。图 3 是一幅典型的 HRTEM 照片(见图版 I)。与以前的报道<sup>[13,14]</sup>一样,沿 GaAs/Si 的界面,出现近乎周期性的失配位错。在每个位错周围,其衬度变亮,这是由于它们的局部应力场引起的。 $90^\circ$  位错的表征是存在两排多余的 {111} 原子面,一排在  $(\bar{1}11)$  平面,另一排在  $(1\bar{1}1)$  平面;  $60^\circ$  位错只有一排多余的 {111} 原子面,或在  $(\bar{1}11)$  平面,或在  $(1\bar{1}1)$  平面。如图 4 所示(见图版 II)。

这些实验表明:失配位错和堆垛层错等缺陷都局限于 GaAs/Si 界面及其附近,在远离界面的地方, GaAs 膜具有好的晶体质量。实验还指出,堆垛层错沿界面的分布不象  $90^\circ$  和  $60^\circ$  位错那样均匀。估计其原因是:堆垛层错的出现主要决定于衬底表面的局部条件,而不是晶格的失配。我们曾发现<sup>[15]</sup>:衬底表面上的无序小块可引起堆垛层错的产

生。这也是关于表面局部条件决定堆垛层错的一个证明。

我们对失配位错的数量和沿界面的分布情况进行了统计。对于没有堆垛层错的区域,发现  $90^\circ$  与  $60^\circ$  位错的数量之比大约为 3:1, 失配位错的平均间距为  $88 \text{ \AA}$ 。考虑到 GaAs 与 Si 之间的晶格失配为 4.1%, 并假设这一失配完全被比例为 3:1 的  $90^\circ$  和  $60^\circ$  失配位错所缓解, 则理论上预期的位错间距应为  $87 \text{ \AA}$ , 这与上述的实验结果吻合得很好。于是可得出结论: 对于没有堆垛层错的区域, GaAs 外延层与 Si 衬底之间的晶格失配已全部被失配位错所缓解。

另一方面, 对于如图 3 所示的存在堆垛层错的区域, 同样的统计方法表明, 失配位错的密度比理论上预期的低。这说明, GaAs 和 Si 之间的晶格失配的一部分由失配位错所缓解, 其余部分则由面缺陷来调节。这些结果同以前的报道<sup>[14,16]</sup>是一致的。HRTEM 结果还表明, 堆垛层错可以由于彼此相交而终止, 也可以自行终止<sup>[16,17]</sup>。另外, 我们还发现: 一个堆垛层错可能同另一个堆垛层错或线位错以复杂的方式发生反应, 从而形成一个具有新的位移矢量的面缺陷, 如图 3 中的箭头所示。关于这方面的理论, 还有待进一步的探讨。

图 5 (见图版 II) 给出一个位于 GaAs/Si 界面上的 [110] 选区衍射图象 (SADP)。可以看出, 衍射斑点是成对地出现的。它们分别属于 Si 和 GaAs 两种晶格, 靠内的一组斑点来自 GaAs, 靠外的一组来自 Si 衬底。根据各对斑点之间的分裂距离计算出 GaAs 与 Si 之间的晶格失配约为 4.0%。这再次证明, GaAs 外延层与 Si 衬底之间的失配应力已得到充分释放。

## 4 结论

采用 CBE 技术, 以 TEG 和  $\text{AsH}_3$  作源, 在 Si(001) 衬底上生长 GaAs 薄膜。对外延层的检测表明, GaAs 呈 n 型导电性, 载流子浓度为  $1.3 \times 10^{15} \text{ cm}^{-3}$ 。其杂质估计是硅, 来自衬底的自扩散。在 GaAs/Si 界面存在大量的失配位错和堆垛层错等结构缺陷。这些缺陷完全缓解了 GaAs 外延层与 Si 衬底之间的晶格失配, 使 GaAs 薄膜的上部具有好的质量。这些结果证明, 利用 CBE 技术也可获得与 MBE GaAs/Si 异质外延相类似的质量。

**致谢** 该项研究得到英国 DTI 和 SERC 的资助。利物浦大学材料科学和工程系 Dr. R. W. Devenish 和 Surrey 大学电子工程系 Dr. 张敬平分别在 HRTEM 和 RBS 实验中给予帮助, 并进行很有益的讨论, 特此致谢。

## 参 考 文 献

- [1] T. H. Chiu, W. T. Tsang, E. F. Schubert and E. Agyekum, *Appl. Phys. Lett.*, 1987, **51**:1109.
- [2] H. Heinecke, B. Baur, R. Hoger and A. Miklis, *J. Crystal Growth*, 1990, **105**: 143.
- [3] T. H. Chiu, W. T. Tsang, J. A. Ditzenberger, C. W. Tu, F. Ren and C. S. Wu, *J. Electron Mater.*, 1988, **17**: 217.
- [4] Y. M. Houg, *J. Crystal Growth*, 1990, **105**: 124.
- [5] W. T. Tsang, A. H. Dagen, J. H. Chiu, J. E. Cunningham, E. F. Schubert, J. A. Ditzenberger and J. Shah, *Appl. Phys. Lett.*, 1986, **49**:170.

- [6] L. Yang, A. S. Sudbo, W. T. Tsang, P. A. Garbinski and R. M. Camarda, *J. Crystal Growth*, 1990, **105**:162.
- [7] W. T. Tsang and E. F. Suhubert, *Appl. Phys. Lett.*, 1986, **49**:220.
- [8] W. T. Tsang, E. F. Schubert, T. H. Chiu, J. E. Cunningham, E. Burkhardt, J. A. Ditzenberger and E. Agepekum, *Appl. Phys. Lett.*, 1987, **51**:761.
- [9] T. B. F. Joyce, *J. Crystal Growth*, 1990, **105**:229.
- [10] N. Putz, H. Heinecke, M. Heyen, P. Balk, M. Weyers and H. Luth, *J. Crystal Growth*, 1986, **74**:292.
- [11] D. A. Woolf, D. I. Westwood and R. H. Williams, *J. Crystal Growth*, 1990, **100**: 635.
- [12] J. Varrio, H. Asonen, A. Salokatve, M. Pessa, E. Rauhala and J. Keinonen, *Appl. Phys. Lett.*, 1987, **51**: 1801.
- [13] N. Otsuka, C. Choi, Y. Nakamura, S. Nagakura, R. Fischer, C. K. Peng and H. Morkoc, *Appl. Phys. Lett.*, 1986, **49**: 277.
- [14] K. I. Cho, W. K. Choo, J. Y. Lee, S. C. Park and T. Nishinaga, *J. Appl. Phys.*, 1991, **69**:237.
- [15] D. Gerthsen, D. K. Biegelsen, F. A. Ponce and J. C. Tramontane, *J. Crystal Growth*, 1990, **106**: 157.
- [16] F. Ernst and P. Pirouz, *J. Mater. Res.*, 1989, **4**: 834.
- [17] Y. R. Xing, R. W. Devenish, T. B. F. Joyce, C. J. Kiely, T. J. Bullough and P. J. Goodhew, *Appl. Phys. Lett.*, 1992, **60**: 616.

## Growth of GaAs on Si(001) by CBE using TEG and AsH<sub>3</sub>

Xing Yirong

*(Institute of Semiconductors, the Chinese Academy of Sciences, Beijing 100083; National Laboratory for Surface Physics, the Chinese Academy of Sciences, Beijing 100080)*

T. B. Joyce, C. J. Kiely and P. J. Goodhew

*(Department of Materials Science and Engineering, University of Liverpool, P. O. Box 147, Liverpool L69 3BX, England)*

**Abstract** The growth of GaAs on Si(001) substrate by chemical beam epitaxy (CBE) using triethylgallium (TEG) and arsine (AsH<sub>3</sub>) is reported. Hall effect, Rutherford back-scattering (RBS) and high resolution transmission electron microscopy (HRTEM) have been used to characterize the quality of the epilayer. The GaAs film showed n-type conductivity with a carrier concentration of  $1.3 \times 10^{15} \text{cm}^{-3}$ , which is attributed to Si selfdoping from the substrate. A high density of structural defects including misfit dislocations, stacking faults and microtwins were observed in the region at or near the GaAs/Si interface to fully accommodate the misfit strain due to the lattice mismatch between GaAs epilayer and Si substrate. Therefore, the upper part of the GaAs epitaxial layer is of good crystalline quality.

**PACC:** 6855, 6170