

雷达动目标检测 (MTD) 专用集成电路的设计

王月明 徐葭生

(清华大学微电子学研究所 北京 100084)

摘要 本文设计出一种用于雷达数字信号处理的动目标检测 (MTD) 专用集成电路。该电路采用有限冲激响应 (FIR) 滤波器结构,并配以乒乓存储器及流水线乘法器,具有运算速度快、结构简单等优点。经逻辑和电路模拟,证明该电路具有良好性能。

EEACC: 2570D, 1265B

1 引言

雷达数字信号处理的核心部分是动目标检测 (MTD)。它的基本原理是应用了电磁波的多卜勒效应。当目标和雷达之间有相对运动(速度 v_r)时,雷达接收到的信号会产生频偏,其频偏 $f_d = \frac{2}{\lambda} v_r$ 被称为多卜勒频率。

MTD 就是采用匹配滤波器的方法在复杂的雷达回波中检测出目标的多卜勒频率 f_d , 并以此来确定动目标的距离、速度和方位。

采用可变中心频率的高速 FIR 滤波器是一种比采用离散富利叶变换 (DFT) 或其快速算法 FFT 方法更优越的构成匹配滤波器的方法。但由于运算量大、速度要求快,因此在设计和工艺上均有一定的难度。随着超大规模集成电路技术水平的提高,单片或两片 MTD 专用集成电路 (ASIC) 的实现才有了可能。正是这种 ASIC,不仅使雷达数字信号处理系统的体积缩小,而且性能大大提高。

2 MTD 的原理和算法

MTD 是通过匹配滤波器实现的,而匹配滤波器是一组不同中心频率的滤波器。所以,MTD 本质上是一组不同中心频率的滤波器(或 FIR 滤波器形式或 FFT 形式)。在采用 FIR 滤波器形式的情况下,输入信号和输出信号的关系如下式所示:

$$y(n) = \sum_{k=0}^{N-1} h(k)x(n-k), \quad (1)$$

其中 N 表示有限冲激响应的序列长度, 亦即滤波器系数个数, $h(k)$ 表示滤波器系数, n 表示离散时间某个时刻.

在常用的航管雷达中, (1) 式的 N 取为 8. 与此相对应, 匹配滤波器实际上是 8 个 FIR 滤波器, 得到 8 个输出, 用一统一的表达式表示为:

$$y_r(n) = \sum_{k=0}^{N-1} h_r(k)x(n-k), \quad r = 0, \dots, 7 \quad (2)$$

8 个滤波器的频率响应分别为 $H_0(j\omega), H_1(j\omega) \dots H_7(j\omega)$.

为了使 MTD 具有良好的性能, 实际使用的滤波器是复数滤波器. 这时匹配滤波器的输出成为:

$$y_r(n) = \sum_{k=0}^{N-1} \{h_r^I(k)x^I(n-k) - h_r^Q(k)x^Q(n-k) + j[h_r^I(k)x^Q(n-k) + h_r^Q(k)x^I(n-k)]\}, \quad r = 0, \dots, 7 \quad (3)$$

其中 x^I 和 x^Q 分别表示雷达接收机检波器的同相和正交两路输出. $h_r^I(k)$ 和 $h_r^Q(k)$ 分别表示各滤波器系数的实部和虚部.

(3) 式就是常用雷达 MTD 的基本算法 (当滤波器输入数据以地址的形式表示时, (3) 式作相应变化). 实际上, 滤波器是大量的乘法累加 (也包括累减) 运算. 由 (3) 式可知, 一个滤波器在一个时点上的输出结果需要进行 $8 \times 4 = 32$ 次乘法及更多次的累加 (累减) 运算后才能得到. 8 个滤波器就要进行 256 次乘法及更多次的累加 (累减) 运算.

一般雷达发射脉冲的频率为 800Hz, 对应每个脉冲的回波采样 1024 次. 这样, 每秒钟采样 800×1024 个复数数据. 在采用滑动滤波的情况下, 一个输入数据就对应一个输出数据. 所以, 雷达 MTD 的匹配滤波器每秒钟需要进行 $256 \times 800 \times 1024 = 209715200$ 次乘法及更多次的累加 (累减) 运算, 相当于 210MHz 的乘法累加速度.

3 MTD 匹配滤波器的总体结构

根据 MTD 匹配滤波器的性能要求, 结合集成电路的特点, 匹配滤波器设计为由两个集成电路芯片组成, 它们分别计算滤波器输出的实部和虚部, 如图 1 所示.

图中计算实部和计算虚部的 FIR 滤波器 IC 是相同的集成电路, 只是外部设置不同而已. 这种实、虚部平行运算的安排可使每个芯片的运算速度降低一倍, 从而为 MTD 系统实现高速、实时处理创造了有利的条件.

这样的 FIR 滤波器集成电路结构如图 2 所示.

图 2 所示的集成电路结构具有以下一些特点.

3.1 采用单乘法累加器

匹配滤波器采用图 1 形式后, 对乘法累加器的速度要求降低了一倍, 即降为 105MHz, 这是当前集成电路工艺条件下采取适当电路措施后完全能达到的乘法累加器速度. 采用单个乘法累加器, 降低了集成电路规模, 有利于加工制造.

3.2 集成了高速系数 RAM

105 MHz 的高速乘法累加也意味着高速的数据传输和取数操作, 与乘法累加器(MAC)打交道的 RAM 必须达到 105MHz 的高速度。为此将它集成在片内对提高速度是十分有利的。滤波器共有 $8 \times 8 = 64$ 个复数系数, 相当于 128 个实数, 每个实数有 12 位。所以, 总的系数 RAM 有 128×12 位。

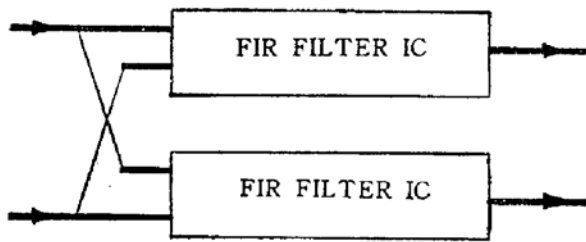


图1 MTD 匹配滤波器组成框图

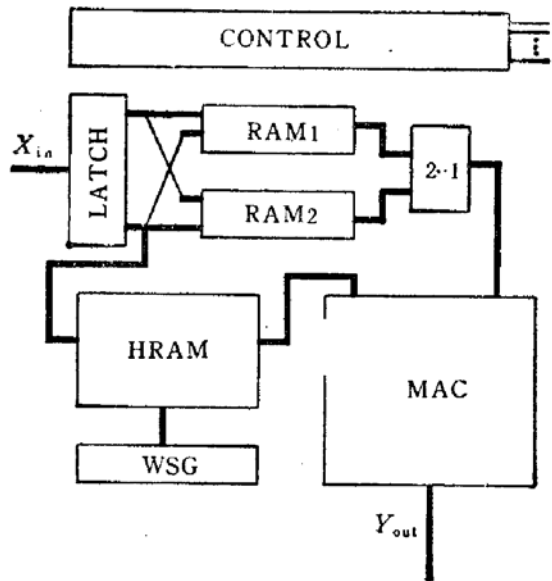


图2 MTD 用 FIR 滤波器集成电路结构

3.3 数据 RAM 采取了片内小规模乒乓 RAM 形式

这是充分利用了 MTD 滤波器的特点而采取的 RAM 形式。根据 MTD 的工作原理, 只有雷达接收机采集到 8k 个复数数据 (16k 个实数数据) 后, 匹配滤波器才能计算第一个输出结果。也就是说, 存放数据的 RAM 至少有 $16k \times 12$ 位那么大。这样规模的 RAM 要集成到片内并要以 105MHz 以上的速度工作, 这是不容易实现的。考虑到 MTD 匹配滤波器是 8 个滤波器, 并且它们的输出是依次、分别计算的 (采用单个乘法累加器的情形), 相同的输入数据要被 8 个滤波器依次重复使用。所以, 实际上只有 8 个数据 (复数) 以 105MHz 的高速度循环送入 MAC 以得到 8 个滤波器的输出。其余大量的数据并不需要高速传送。根据这一特点, 把数据 RAM 分成两部分: 片内 RAM 和片外 RAM。把少量高速传送的数据存放于片内 RAM, 大量低速传送的数据存放于片外 RAM。这样, 滤波器取输入数据的过程分两步完成。第一步把需要的 8 个复数存入片内 RAM, 第二步再从片内 RAM 高速取出送 MAC。为了能有时间准备好片内 RAM 的数据, 片内 RAM 采取了乒乓 RAM 形式, 如图 2 所示。片内 RAM 分为 RAM1 和 RAM2 两部分。当 RAM1 高速读出数据时, RAM2 则以较低的速度从片外 RAM 取进数据。反之, 当 RAM2 高速读出数据时, RAM1 则以低速取进数据。这一过程交替进行。

采用片内乒乓 RAM 后, 对片外 RAM 的速度要求降低到片内 RAM 的 $1/8$, 即 13.1MHz。

片内乒乓 RAM 的总规模为 $2 \times 16 \times 12$ 位。

3.4 高速流水线工作方式

为了以较少的硬件开销获得较高的工作速度, 整个集成电路以流水线方式工作。每一时钟周期, 片内系数和数据 RAM 各取出一个数据 (实数), 乘法累加器进行一次乘法累加运算。图 2 中的控制功能块用来保证流水线工作的正常进行, 它产生对 MAC、系数

RAM、数据乒乓 RAM 等的控制信号,同时也产生和外部交换信息的信号。

4 主要电路及模拟结果

4.1 高速 MAC

关于高速 MAC 的实现问题我们已在另一篇文章^[4]中作过详细介绍,这里不再赘述。

4.2 系数 RAM

所设计的 8 个滤波器共有 128 个实数系数。根据(3)式,这些系数在参与运算时是依次送至 MAC 的。每一个滤波器可按照先虚部系数后实部系数的次序依次接收系数。根据这一特点,系数 RAM 不设地址译码电路,对 RAM 的寻址由循环移位寄存器电路直接产生依次字选信号来完成,这不仅节省了硬件开销而且还提高了速度。

RAM 的存贮体采用典型的六管单元静态存贮器,这里不再重复。

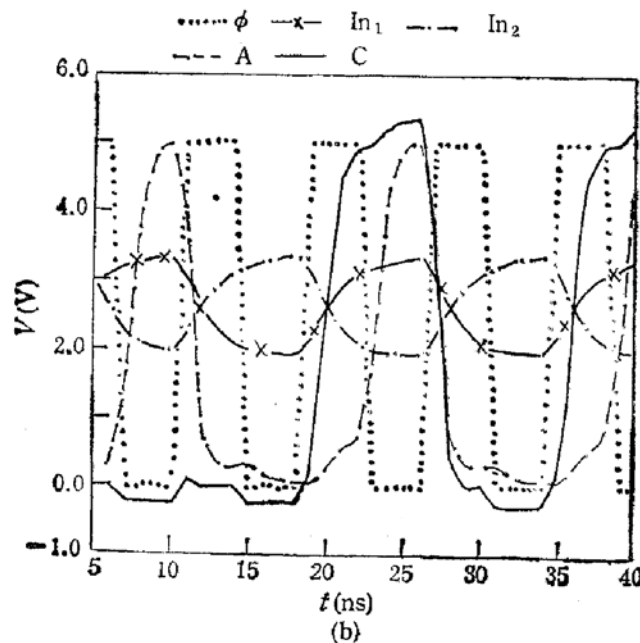
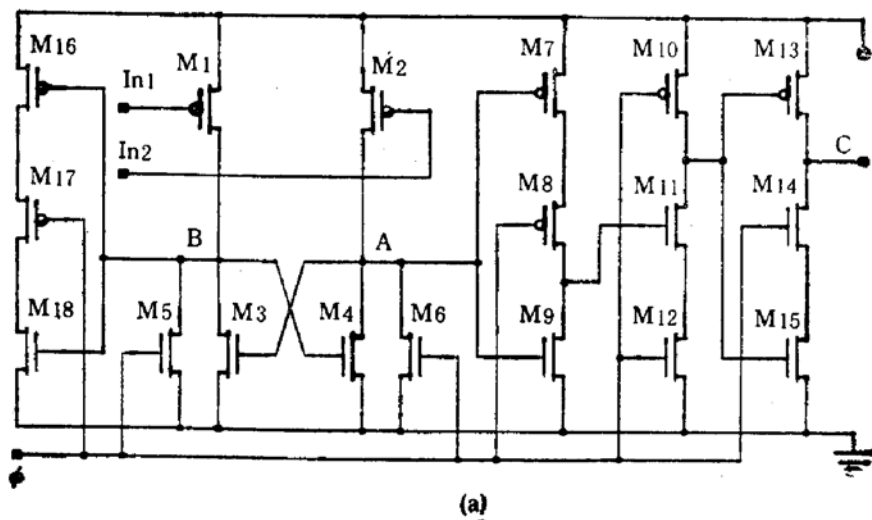


图3 RAM 灵敏读放电路及模拟结果

为了实现高速度, RAM 的读出电路采用了高速的动态灵敏读放电路, 如图 3(a) 所示。

RAM 的数据读出主要由 M1—M6 组成的电路完成。该电路需要有时钟控制信号。当 ϕ 为高电平时, 电路处于回零状态, 原先的读出结果被清零。当 ϕ 为低电平时, M5、M6 截止, 于是电路发生强烈正反馈, A 点和 B 点迅速达到一确定电平(或高或低由输入信号决定), 即 RAM 存贮体的信号被读出放大。

由 M7—M15 构成的电路是一个 9 管单元的动态 D 触发器^[2]。增加动态 D 触发器的目的是改善输出电平, 提高平均速度。增加 D 触发器后, 灵敏读放电路具有了流水线工作的性质, 读放过程分成了两步。第一步, A 点电平发生变化, C 点保持原值; 第二步, A 点电平回零, C 点输出新值。

图 3 中的 M₁₆—M₁₈ 是为保持 A、B 两点的对称性而增设的, 目的是为了减小动态读放电路工作时的干扰。

RAM 灵敏读放电路的 SPICE 模拟结果如图 3(b) 所示。图中的 I_{n1} 和 I_{n2} 分别表示 RAM 的位线信号, 即 RAM 灵敏读放电路的输入, 曲线 A 表示电路图中 A 点的电平变化, 曲线 C 表示 C 点的电平变化, ϕ 表示时钟信号。

由图 3 可见, 当 ϕ 由高变低后, A 点电平迅速变化, 变化过程不到 2ns, 但维持有效电平的时间较短, 当 ϕ 由低变高后, A 点电平迅速回零。C 点电平的情况和 A 点的不同, 除其电平转变期间外, 其余时间均为有效电平。D 触发器的作用正是把 A 点速度快但维持时间短的信号转变为高速稳定可靠的可用信号。由图可知, 如果不考虑寄生电阻电容等的影响, 在 $2\mu\text{m}$ 工艺下, 所设计的 128×12 位的系数 RAM 可达到 125MHz 以上的工作速度。

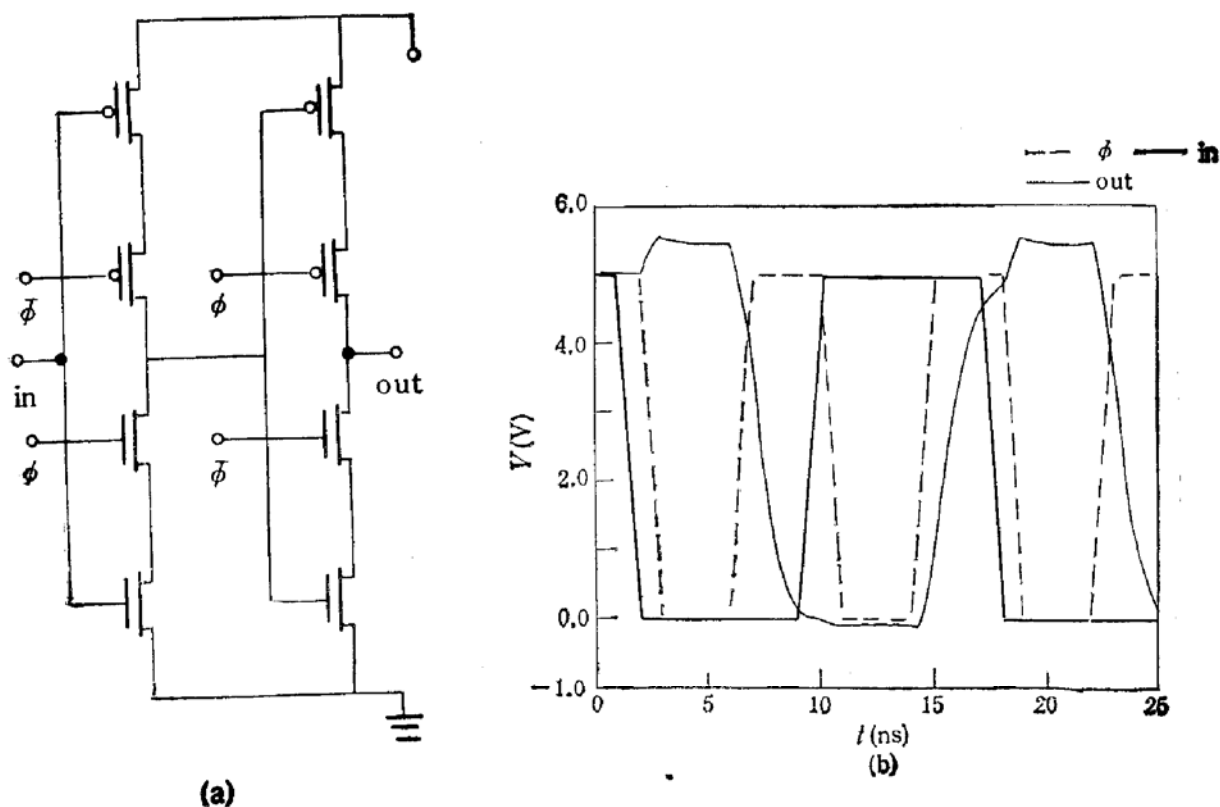


图 4 移位寄存器单元电路及模拟结果

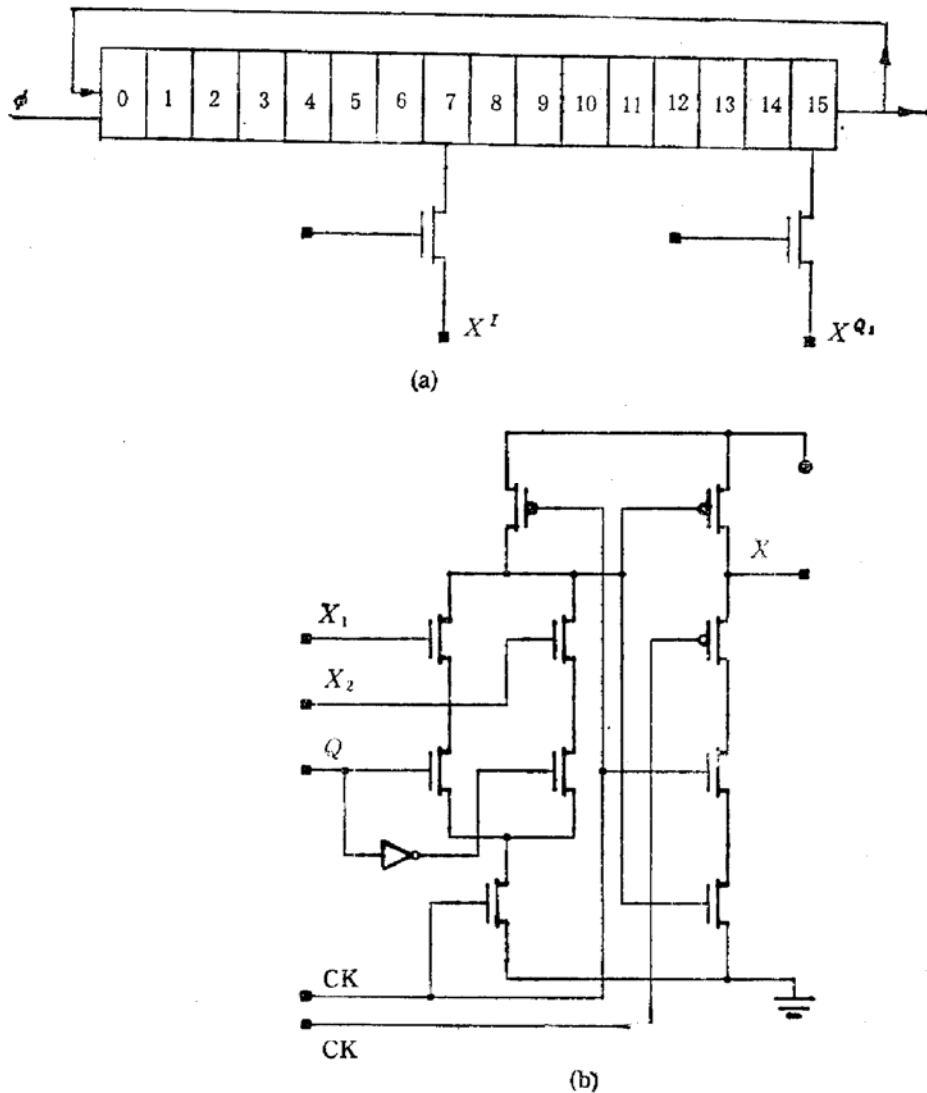


图 5 移位寄存器及其读出多路器

RAM 的字选信号产生电路采用循环移位寄存器,在时钟的控制下,每一时钟周期改变一次字选信号,这符合 FIR 滤波器要求顺序寻址的特点,而且速度比正常的译码器电路快得多。

4.3 数据乒乓 RAM

乒乓 RAM 是分别用来存、取滤波器的输入数据的。一次存入,多次取出。所以,存入速度低,而取出速度高。另外,乒乓 RAM,它存储的数据是依次、循环反复(8次)使用的,而且规模小。所以,乒乓 RAM 实际上设计为由动态寄存器构成的循环移位寄存器。RAM1 和 RAM2 分别是 12 个(因为一个数据有 12 位) 16 位(8 个复数即 16 个实数)的动态移位寄存器。一个移位寄存器的一位由两个 CMOS 寄存器^[3]组成,如图 4(a)所示。

这样的移位寄存器需要正、负两相时钟,但在级连时具有抗时钟歪斜(clockskew)的能力^[4],所以不会出现竞争冒险问题。所以,电路工作是安全可靠的。

对这种由移位寄存器构成的存储器的写入电路采取了一种新的形式,它可以在一个时钟周期内先后写入两个数据,如图 5(a)所示。采用这种形式,由于舍去了一般方式的循环回路中的多路器而使速度大大提高。另外,采用双端口写入,可进一步降低对片外

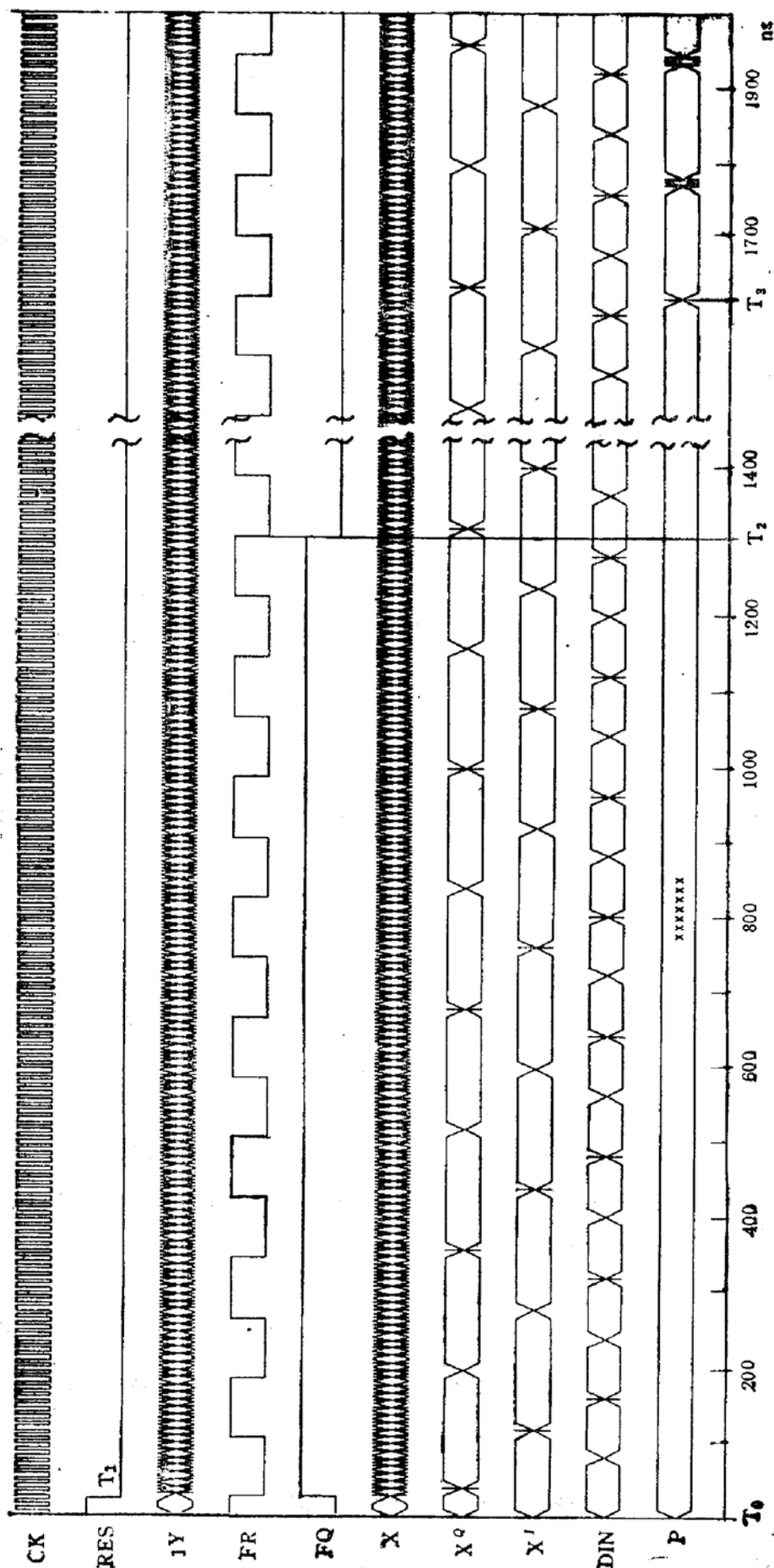


图 6 MTD 专用集成电路的整体逻辑模拟结果

RAM 的速度要求。

在图 5(a) 中,当 ϕ 为高电平时,外部向第 7 寄存器单元写入 X^1 ,当 ϕ 为低电平时,外部向 15 寄存器单元写入 X^0 ,并且原写入到 7 单元的 X^1 移入到 8 单元,经过 8 个周期后,16 个数据正好写入 16 个寄存器单元。

图 5(b) 所示的电路实现乒乓 RAM 输出的切换。这是个预充求值电路,在时钟低电平时为预充阶段,这时输出结果不变,而输入信号可以变化。当时钟为高电平时,电路求值,输入信号保持不变,输出信号发生变化。所以,只要乒乓 RAM 输出的切换是在时钟的低电平期间发生(即 Q 信号在时钟低电平时变化),那么,MAC 就能得到完整、正确的输入结果。

对图 2 所示 MTD 专用集成电路的主要信号的整体逻辑模拟结果如图 6 所示。

图中的 CK 为输入时钟信号,RES 是复位信号,FR 是控制乒乓 RAM 写入的时钟信号, X^0 和 X^1 分别表示同时向乒乓 RAM 写入的一对数据,Y 是乒乓 RAM 的读出结果,X 是从系数 RAM 读出的结果,DIN 是外部输入到片内的信号,P 是滤波器的输出。

在 T_0-T_1 阶段,整个电路复位。 T_1-T_2 阶段,外部向乒乓 RAM 的 RAM_1 写入数据,其间有 8 个 FR 周期,共写入 16 个实数数据,在此期间, RAM_2 读出数据,因此前 RAM_2 未曾写入过数据,所以,读出的 Y 为不定态。 T_2 以后,通过 FQ 的作用,乒乓 RAM 的 RAM_1 由写入转为读出, RAM_2 由读出转为写入。这时,从乒乓 RAM 读取的是前 8 个 FR 周期对 RAM_1 写入的内容。从乒乓 RAM 读取正确结果后,经过若干时钟周期的延时(Latency)后,滤波器输出正确结果。从 T_3 开始,滤波器源源不断地输出正确结果。

5 结 语

1. 本文设计了一种 MTD 专用集成电路芯片。由于采用流水线结构和动态 CMOS 电路,使其具有很高的平均速度,并得到整体模拟的证实。

2. 采用同种芯片进行实部和虚部的平行运算,在不增加设计量的情况下保证了高速度。

3. 片内集成规模不大的乒乓数据存储器既可保证高速度,又使集成度增加不多。

4. 用循环移位寄存器代替系数存储器的地址译码器,不但简化电路,而且加快电路的速度。

5. 片内广泛采取了抗时钟歪斜措施,确保芯片可靠地高速运行。

6. 本设计的复数运算采用了单个流水线乘法累加器的方案,可以简化电路,降低芯片的集成度,便于加工、降低成本。

参 考 文 献

[1] 王月明,徐薇生,半导体学报,1993,13: 13.

[2] J. Yuan and C. Svensson, IEEE J. Solide-State Circuits., 1989, SC-24: 62.

- [3] N. Weste and K. Eshraghian, CMOS VLSI Design, MA: Addison-Wesley, 1985.
[4] Nelson F. Goncalves and Hugo J. Deman, IEEE J. Solide-State Circuits, 1983, SC-18: 261.

Radar Moving Target Detection (MTD) ASIC Design

Wang Yueming and Xu Jiasheng

(Institute of Microelectronics, Tsinghua University, Beijing 100084)

Abstract A kind of Radar Moving Target Detection (MTD) ASIC has been designed. The IC adopted the Finite Impulse Response (FIR) filter structure composed of ping-pong RAM and pipelined multiplier has the advantages of high speed, simple structure and so on. It is proved by logic and circuit simulation that the IC has good performance.

EEACC: 2570D, 1265B