

在 Ge 和 SiGe 复合缓冲层上生长 高质量 Ge/Si 超晶格

盛 麓 周铁城 龚大卫 樊永良 王建宝 张翔九 王 迅

(复旦大学应用表面物理实验室 上海 200433)

摘要 利用 Ge 的三维生长特性和迅速弛豫, 在 Si 衬底上形成有一定高度的岛状 Ge 层, 继续生长不到 200nm SiGe 合金就可获得较高质量的缓冲层. 这种很薄的缓冲层已用于生长 Ge/Si 短周期超晶格. 超晶格的优良性能表明 Ge 岛技术是生长配晶体的有效方法. 薄的外延厚度和低的工艺温度与集成电路工艺是完全相容的.

PACC: 6855, 6860

1 引言

晶格失配的半导体应变层材料极大地丰富了能带工程的内容. 不同能带结构的材料组成的叠层材料具有不同的特殊性能, 这是它的组成材料所不具备的. 而叠层材料受到不同的应力还会增添新的能带的变化. 例如长在 Si 衬底上的 SiGe/Si 超晶格中 SiGe 合金层起着空穴势阱的作用; 当生长在 SiGe 合金衬底上时, 它的 Si 层受到张应力就转变为电子势阱^[1]. 短周期 Si_mGe_n 超晶格引起了广泛的关注, 因为布里渊区折叠效应加上应力的作用使间接能隙转变为直接能隙成为可能^[2]. 应力在应变层材料中起着极其重要的作用. 应力的调节是依靠选择不同晶格常数的材料作衬底来实现的. 在 Si 分子束外延技术中是在 Si 衬底上外延不同 Ge 含量的 SiGe 合金, 当超过它的共度生长临界厚度时, 应变通过失配位错的引入而弛豫, 合金层的晶格常数回复到它的体材料的值. 失配位错形成位错环在外延层中扩散, 如果不能扩散到样品的边缘, 它的两侧胁变臂就会朝外延生长方向穿透到在合金缓冲层上生长的材料中去, 使材料质量蜕化. 在失配达 4% 的 Si-Ge 体系中, 失配位错可达 10^{12}cm^{-2} 之多, 因此降低弛豫的合金缓冲层的位错密度是非常重要的关键之一.

最简单的降低位错密度的方法是生长极厚的 SiGe 缓冲层, 使部份位错在生长过程中终止在样品边缘, 通常生长十几微米才有可能将位错降到 10^7cm^{-2} ^[4]. 生长时一般都采用高温 (800℃ 以上)^[5]. 目前有很多方法来降低缓冲层的位错密度, 如采用不同成份的 SiGe 合金来

* 国家自然科学基金和博士点基金资助项目

盛 麓 男, 1939 年生, 高级工程师, 从事分子束外延半导体材料和半导体物理研究
1994 年 11 月 18 日收到初稿, 1995 年 5 月 13 日收到修改稿

代替单一组分的缓冲层, Ge 成份可以随合金生长厚度线性增加^[6]或作阶梯式递增^[7]. 最成功的是用阶梯式递增的 $\text{Si}_{0.75}\text{Ge}_{0.25}$ 合金缓冲层, 其位错密度可低到 10^4cm^{-2} , 但 Ge 的成份大于 0.25 的位错密度都超过 10^5cm^{-2} . 常用的缓冲层的 Ge 含量都在 0.3 以上, 所以位错密度还是偏高, 不适于集成电路工艺. 此外这阶梯增加的合金缓冲层厚度还至少大于 $1\mu\text{m}$, 也是光刻工艺中的困难问题. 另一类称为二步法的是光生长一薄层 SiGe 合金, 退火后应变已弛豫, 然后再生长厚的合金层. 由 Dodson 和 Tsao^[8]的动力学理论可知弛豫产生所需厚度与合金层中应变量有关, 如以 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 为例, 它与 Si 衬底的失配为 2%, 300nm 合金层在 500°C 退火只有 80% 的应变弛豫, 而用失配为 4% 的纯锗, 有几十埃就可达到完全弛豫. 采用纯 Ge 作二步法中第一外延层可以极大地降低总厚度. 在第二缓冲层之前再插入应变层超晶格更能有效地阻挡位错向外延中的延伸^[9].

Luryi 和 Sahir^[10]提出在有交错深沟的衬底上可以生长出无位错的失配晶体. 应变层中应力大部集中在外延界面, 并沿着外延方向指数衰减. 在应变弛豫时界面附近形成失配位错, 在扩散过程中只需运动很短距离就到达沟道处, 有效地抑制了应变位错的生长. Ge 在 Si 上外延时有强烈的成岛倾向, Ge 岛的表面与 Luryi 等模型有相似之处, 这也有利于降低 SiGe 缓冲层的位错密度. 我们曾用形成 Ge 岛的二步法生长了高质量的 Ge 外延材料^[11], 这部份得益于 Ge 岛的形成. 本文将报道用 Ge 岛技术生长 SiGe 合金缓冲层, 并在这种缓冲层上外延出高质量的 Si_6Ge_4 短周期超晶格.

2 实验设备和方法

外延是在 RIBER SSC-32 系统中进行. Ge 和 Si 都是用电子枪加热器蒸发的. 生长过程中用反射高能电子衍射 (RHEED) 实时观察样品表面结构和平整度. 在不暴露大气条件下用分析室俄歇电子能谱 (AES) 测定表面成份. 外延用衬底材料为 Si(100) 单晶片, 经化学清洗和高温除氧后, 先生长 50~100nm 硅来改善表面平整度. 之后相继生长 Ge 层和 SiGe 缓冲层, 最后外延 Si_6Ge_4 超晶格. 超晶格周期用 X 射线衍射测定, 超晶格的质量用 Raman 散射和透射电子显微镜鉴定. 在 Si 衬底上形成的 Ge 岛形貌用扫描隧道电镜观察.

3 实验结果与讨论

3.1 Ge 的成岛特性

Ge 在 Si 衬底上外延时表现出强烈的三维生长倾向. 温度对岛的形成有密切关系. 温度过高, Ge 岛的结构崩溃; 温度过低, Ge 原子没有足够的迁移率以聚集在一起. 我们采用的最低外延温度为 400°C . 在 Si(100) 衬底上外延 Ge. 当淀积量小于 0.8nm 时, RHEED 一直保持为 2×1 的线状图样. 超过 0.8nm 后逐渐变模糊并出现点状结构. 在 Ge 淀积量达到 1.2nm 时呈现清晰的体材料衍射斑点, 这说明 Ge 岛很高, 电子束穿透 Ge 岛后衍射成象. 用 STM 观察了 Ge 岛的形貌^[12]. 由于外延了 50nm Si 后的衬底已相当平整, 所以用 STM 观察到的表面不平整可完全归结于 Ge 岛的形成. 实验结果表明随着 Ge 淀积量增加 Ge 岛的高度也相应增加. 在 Ge 淀积量为 80ML 时 Ge 岛高度可达 20nm. 岛的宽度约 30~60nm, 岛中心距离为 40~80nm. 岛的分布有一定随机性.

对 AES 谱的分析也支持了 Ge 岛高度随淀积量而增加的结论. Si(LVV) 电子的能量为

92eV, 逃逸深度仅为 0.5nm, 是表面灵敏的 Auger 电子. 例如 Ge 在 Si 上以层状形式生长, 它的强度可用下式表示

$$I = I_0 \exp[-nd/\lambda]$$

式中 λ 是 Auger 电子逃逸深度; n 是复盖层的单原子层层数; d 为单原子层厚度. 图 1(见图版 1) 是在 Si(100) 面上淀积 Ge 时 Si(LVV) 峰强度的变化. 当 Ge 淀积量小于 1nm 时, Auger 峰强度以指数规律下降, 在这之后衰减变慢, 当 Ge 淀积量在 1~10nm 范围内强度维持不变. Si 外延时没有表面偏折, 在 400℃ 时 Si 和 Ge 不形成合金, 所以 Si 原子不会跑到 Ge 层表面, 所以在继续淀积 Ge 时, Auger 强度不减弱的可能解释是 Ge 收缩成岛, 部份表面 Ge 的覆盖层减小或露出 Si 表面, 在以后淀积过程, 多余的 Ge 只增加 Ge 岛的厚度并维持谷区低的 Ge 覆盖度, 只有这样才能维持 Si(LVV) 峰强度不变. 上述假设与 STM 观察和 RHEED 图样的变化也是吻合的.

由上述 AES 表达式可求得峰强度下降到 19% 时 Ge 覆盖层约为 7 个单原子层. 计算中 d 取 0.14nm, λ 为 0.6nm. 在 Ge 成岛后只有谷区对 AES 峰有贡献, 根据 STM 结果假定岛与谷的面积之比为 1, 则可推断谷区 Ge 覆盖层厚度要减小到四个原子层以下, 才能维持峰强度不变.

在 Ge 淀积量超过 10nm 后, Auger 峰强度重新开始下降, 并服从指数规律. RHEED 图像也逐渐恢复线状 2×1 的结构. 对淀积量为 8nm 的外延层进行 Raman 散射测试结果表明外延层中应变已经完全弛豫, 所测得 Ge 峰与体材料的峰位一致. 在 8nm 后生长的 Ge 已不受应力作用, 所以恢复二维生长模式, 表面逐渐平整起来.

将成岛的样品加热到 550℃, Ge 岛结构被破坏, RHEED 图样迅速由点状转变为线状 2×1 结构, 但表面不能达到完全平整, 所以图象对比度差, 线条较粗. 因为应力是维持 Ge 岛的重要因素, 高温下应变的 Ge 岛迅速弛豫, 在无应力作用下 Ge 原子迁移到低凹的台阶处, 减少了表面的不平整度. 为了维持 Ge 岛结构, 衬底温度不宜超过 500℃.

实验结果表明在 400~500℃ 温度范围内, 在 Si(100) 衬底上形成 Ge 岛, 其高度可随 Ge 淀积量而增加, 最大可达 20nm. Ge 岛结构虽与 Luryi 理论要求相差很多, 但实验证明 Ge 岛对减少应变层材料的位错还是有一定作用^[11].

3.2 在 Ge 岛上外延弛豫的 SiGe 合金缓冲层

在 Ge 岛上外延平整的 SiGe 合金也必须选择适当的温度. 实验结果指出为了最快获得平整的外延层表面, 要根据 Ge 岛的高度来选择外延温度. 在 Ge 淀积量不到 1.5nm 时所形成的 Ge 岛高度较小, 在 450℃ 下只需生长 40~50nm Si 合金就可以得到具有 2×1 再构的平整的表面; 而 Ge 淀积量为 5nm 条件下, 即使生长了 300nm SiGe 合金后仍不能使点状 RHEED 图样有所改善. 将这种 Ge 岛衬底温度提高到 550℃ 只需再生长 50nm SiGe 合金就可得到平整的表面.

3.3 Si_{0.6}Ge_{0.4} 短周期超晶格的生长

短周期超晶格的质量对它的衬底材料非常敏感, 所以检测超晶格的质量可以正确判断缓冲层的晶体质量.

超晶格生长时要维持在较低的温度 400℃, 以防止 Si 层和 Ge 层的互混. 超晶格由 4ML 的 Ge 和 6ML Si 构成, 总共为 60 周期, 缓冲层为弛豫的 Si_{0.6}Ge_{0.4} 合金缓冲层. 超晶格上面覆盖 3.6nm Si 帽. 样品 R₄₀ 的总体结构为 3.6nmSi/60 × Si_{0.6}Ge_{0.4}/100nm Si_{0.6}Ge_{0.4} 缓冲层/

6MLGe/100nm SiGe/Si(100)衬底对超晶格作了 Raman 散射、TEM 及 X 射线衍射分析. 图 2(见图版 I)是 R_{40} 的小角衍射谱, 由谱峰位置其出超晶格的周期为 1.32nm 与 R_{40} 设计值 1.38nm 略有差别. 图 3(见图版 I)是样品的 Raman 散射谱. 其中对照样品 R_{24} 的缓冲层是直接在 Si 衬底上一步生长的 40nm $\text{Si}_{0.6}\text{Ge}_{0.4}$ 合金缓冲层, R_{40} 与 R_{24} 相应的谱峰位置有较多的移动. R_{40} 的类 Si-Si 峰在 483cm^{-1} 处, 相对于 R_{24} 的峰位 492cm^{-1} 有 9cm^{-1} 的位移, 说明 R_{40} 中硅层受到了更大的张应力. 其差别起源于 R_{40} 中 6ML 的 Ge 层产生的弛豫, R_{40} 中缓冲层的晶格常数与 R_{24} 相差 1%^[13]. 由此造成 R_{40} 中硅层多受了 20kbar 的应力^[14].

R_{40} 超晶格的高质量显示在 Raman 谱中 Si-Ge 峰强度上. 理论分析指出 Si/Ge 短周期超晶格中 Ge 层与 Si 层有清晰平整优的分界面时在 Raman 谱中不出现 Ge-Si 峰. 只有 Si 原子周围有三个 Ge 原子时其 Si-Ge 键振动才能引起 Ge-Si 峰. 实际上所有的短周期超晶格的 Raman 谱中都有 Si-Ge 峰存在, 而且其强度与生长条件密切相关. Ge-Ge 峰强度与 Si-Ge 峰之比被用来衡量超晶格的质量优劣. R_{40} 的 $I_{\text{Ge-Ge}}/I_{\text{Si-Ge}}$ 接近 8, 而 R_{24} 中仅为 1.5, 这表明 R_{40} 超晶格中 Si/Ge 界面远比 R_{24} 平整. 此外 R_{40} 的峰宽很窄, Ge-Ge 峰的半高宽为 6cm^{-1} , 比 R_{24} 相应峰的宽度小一倍多, 这表明 R_{40} 超晶格的总体晶格质量良好.

Raman 谱中硅衬底峰的消失是一个有意义的现象, 因外延生长材料厚度不过 1~200nm, 位于 520cm^{-1} 的硅衬底峰通常都能在 Raman 谱上出现. Kasper^[15] 发现 $\text{Si}_{12}\text{Ge}_8$ 超晶格中没有衬底峰, 而 Si_6Ge_4 及 Si_3Ge_2 超晶格中硅衬底峰很强, 并将这现象归结于 $\text{Si}_{12}\text{Ge}_8$, 有最长的周期造成强的吸收. 由于 R_{40} 也是较短周期的 Si_6Ge_4 , 但没有发现衬底峰, 与 Kasper 的解释不一致, 为此我们比较了文献发表的各种短周期超晶格的 Raman 谱, 发现只要该样品的 Si-Ge 峰很小, Si 衬底峰就不出现. 对上述现象的解释是具有平整陡峭的 Ge-Si 界面的超晶格对衬底出射的 Raman 散射光有强的反射, Si 衬底峰就不出现. 对上述现象的解释是具有平整陡峭的 Ge-Si 界面的超晶格对衬底出射的 Raman 散射光有强的反射, Si 衬底散射光经多层界面的反射后相当于增加了覆盖层的厚度. 最近 Schorer 等对超晶格的退火实验支持了这种解释. 他们发现原先 Si-Ge 峰很弱而且衬底峰也不存在的样品经退火后 Si-Ge 峰迅速增大, 然后 Si 衬底峰也再始出现并逐渐增加. 在这种退火过程中只存在界面处 Si 与 Ge 的扩散, 最后导致界面模糊, 并不存有合金化的可能, 材料的吸收系数也不会有大的变化, 因此 Si 衬底峰强度的减弱只有和界面反射联系起来, 当超晶格各层界面非常平整陡峭, 衬底峰强度就很小.

用 Ge 岛技术生长的 SiGe 合金缓冲层对超晶格质量的改善作用也可从透射电镜分析来证实. 从 R_{40} 电镜像(图 4(a)见图版 I)可见 Ge/Si 界面相当平整和陡峭. 在整个视野中没有找到位错, 它的密度不会大于 10^5cm^{-3} . 从 R_{24} 电镜像(图 4(b)见图版 I)可见有位错和晶粒间界产生, 甚至在合金层的上部也有新的位错生成. 这说明一步生长法不能很好的控制生长条件. 在合金的表面还由于三维生长的倾向而显得不平整, 这也影响到超晶格的生长, 使超晶格的各层界面都随着弯曲成波浪形. 在超晶格的各层晶面上同时存在 Ge 原子和 Si 原子, 这必然增加了 Si-Ge 峰的强度.

4 结语

采用 Ge 层和 SiGe 层的二步法生长高质量的弛豫 SiGe 合金缓冲层, 总厚度在 200nm 以下. 在这种缓冲层上外延生长的 Si/Ge 短周期超晶格具有良好的性能, 证明这种生长缓冲

层的方法是有效的. 特别是低的工艺温度和薄的外延厚度满足集成电路工艺的要求, 因此, 可以将要求不同晶格常数衬底的各种器件集成在单一定路中.

参 考 文 献

- [1] H. Jork and H. J. Herzog, Proc. 1st Int. Symp. Silicon MBE, ed. J. C. Bean, 1986, Proc. Vol. 85:352 (Pennington, NJ, Electrochemical Society).
- [2] S. Satpathy, R. M. Martin and C. G. Van de Walle, Phys. Rev., 1988, B38:13237.
- [3] G. Abstreiter, K. Eberl, E. Freis *et al.*, J. Cryst. Growth, 1989, 95:431.
- [4] E. Kasper and F. Schaffler, Semiconductors and Semimetals., Ed T. P. Pearsall, 1990, Vol. 33, Boston Academic.
- [5] E. Kasper, Surface Sci., 1986, 174:630.
- [6] F. K. Goues, B. S. Meyerson and J. F. Morar, Phys. Rev. Lett., 1991, 66:2903.
- [7] E. A. Fitzgerald, Y. H. Xie, M. L. Green *et al.*, Appl. Phys. Lett., 1991, 59:811.
- [8] B. W. Dodson and J. Y. Tsao, Appl. Phys. Lett., 1987, 51:1325.
- [9] J. Shibata and T. Kajiwara, IEEE Spectrum, 1989, 26:34.
- [10] S. Luryi and Z. Sahir, Appl. Phys. Lett., 1986, 49:140.
- [11] G. L. Zhou, K. M. Chen, W. D. Jiang *et al.*, Appl. Phys. Lett., 1988, 53:2179.
- [12] 周铁成, 蔡群, 朱昂如, 等, 半导体学报, 1994, 15:409.
- [13] E. A. Montie, G. F. A. Van de Walle, D. J. Gravesteijn *et al.*, Thin Solid Films, 1989, 183:105.
- [14] Th. Englert, G. Abstreiter and J. Pontchara, Solid-State Electronics, 1989, 23:31.
- [15] E. Kasper, H. Kibbel, H. Jork *et al.*, Phys. Rev., 1988, B3:3599.

Ge/Si Superlattices Grown on thin Relaxed GeSi Alloy Buffer with Ge Islanding Buried Layer

Sheng Chi, Zhou Tiecheng, Gong Dawai, Fan Yongliang,
Wang Jianbao, Zhang Xiangjiu and Wang Xun

(State Key Lab. of Applied Surface Physics, Fudan University, Shanghai 200433)

Received 18 November 1994, revised manuscript received 13 May 1995

Abstract A thin Ge islanding film inserted between SiGe buffer layer and Si substrate may greatly reduce the necessary buffer thickness to 100~200 nm maintaining the same good crystal quality. A very favorite property of a Ge_4/Si_6 short-period superlattices successively grown on the 150 nm GeSi alloy buffers with 1 nm Ge islanding layer inserted shows that the Ge island method is valid.

PACC: 6855, 6860